



TITLE:

# 内部結合を含む機能ブロック単位 のLSI-EMCマクロモデルに関する研 究( Dissertation\_全文 )

AUTHOR(S):

齊藤, 義行

---

CITATION:

齊藤, 義行. 内部結合を含む機能ブロック単位のLSI-EMCマクロモデル  
に関する研究. 京都大学, 2013, 博士(工学)

ISSUE DATE:

2013-03-25

URL:

<https://doi.org/10.14989/doctor.k17569>

RIGHT:

# 内部結合を含む機能ブロック単位の LSI-EMC マクロモデルに関する研究

齊藤 義行



# 目次

<b>第1章</b>	<b>序論</b>	<b>5</b>
1.1	研究背景	5
1.2	EMC マクロモデル	7
1.3	従来のマクロモデル化アプローチと課題	8
1.3.1	線形等価回路モデル構築における課題	9
1.3.2	等価内部電流源モデル構築における課題	14
1.4	EMC マクロモデルに関する提案の概要と論文の構成	17
<b>第2章</b>	<b>機能ブロック間結合を考慮した LECCS-core モデル</b>	<b>19</b>
2.1	まえがき	19
2.2	LECCS-core モデルの従来の線形等価回路構築方法	19
2.3	多電源ピン LSI の LECCS-core 従来モデル	21
2.4	S パラメータによるブロック間結合確認	22
2.5	ブロック間結合を考慮した LECCS-core モデルの検討	27
2.5.1	S-Z 変換	27
2.5.2	等価回路構造の設定	27
2.5.3	Symbolic Analysis によるインピーダンスの式の抽出	28
2.5.4	回路素子の値の最適化	30
2.5.5	モデリング精度の検証	31
2.6	I/O1 の外部条件の違いによる Core 用電源の伝達特性変化の確認	33
2.7	内部結合を含む機能ブロック単位の LECCS-core モデル構築のまとめ	34
<b>第3章</b>	<b>伝達インピーダンス特性を考慮した LECCS-core モデル</b>	<b>37</b>
3.1	まえがき	37
3.2	グラウンド端子が共通な LSI の LECCS-core 従来モデル	37
3.3	従来の線形等価回路の課題	41
3.3.1	伝達インピーダンス	41
3.3.2	グラウンドへの電流パス	42
3.4	伝達インピーダンスを考慮した線形等価回路構築	44
3.5	等価内部電流源の評価	50
3.6	モデル構造・モデル化手法の他の LSI への適用	52
3.7	シリコン基板起因の結合を含む機能ブロック単位の LECCS-core モデル構築のまとめ	59



<b>第4章</b>	<b>機能ブロックごとの電源電流抽出と LSI の電源電流解析</b>	<b>61</b>
4.1	まえがき	61
4.2	従来の電源電流抽出手法とその課題	61
4.3	磁界プローブを用いた電流測定	63
4.3.1	DUT の仕様	63
4.3.2	測定環境	64
4.3.3	電圧から電流への校正係数の導出	65
4.3.4	アベレージング測定	67
4.4	電流要素抽出	69
4.4.1	電流を構成する要素	69
4.4.2	各要素の抽出	71
4.4.3	その他のブロックの電流要素抽出	74
4.5	プログラム依存性を考慮した電流解析	76
4.5.1	時間領域での電流解析	76
4.5.2	周波数領域での電流解析	80
4.6	データ依存性を考慮した電源電流解析	82
4.6.1	データ依存性を考慮した電流要素抽出	82
4.6.2	データ依存性を考慮した時間領域での電流解析	85
4.6.3	データ依存性を考慮した周波数領域での電流解析	88
4.7	電源電流解析のまとめ	90
<b>第5章</b>	<b>結論</b>	<b>91</b>
	略語，用語，文字の定義	<b>95</b>
	参考文献	<b>97</b>
	研究業績	<b>101</b>
	謝辞	<b>105</b>

# 第1章 序論

## 1.1 研究背景

デジタル機器の高機能化・複合化に伴い、CPU やメモリといった機器内で使用される LSI に高い性能が必要となってきたおり、LSI の動作周波数は GHz 領域にまで達している。また、半導体プロセスは 32nm 28nm 22nm と微細化が進んでおり、LSI に集積されるトランジスタ数が数億個と飛躍的に増大し、それらトランジスタのスイッチング動作に起因して発生する高周波電流が増大してきている。その結果、LSI の電源系電流は、より高い周波数の高周波電流を含むようになってきており、この高周波電流がパッケージやプリント回路基板（Printed Circuit Board：PCB）上の電源供給回路網（Power Distribution Network：PDN）を流れることでデジタル機器の開発において以下のような点が課題となっている。

### 1. Power Integrity（PI）問題

寄生インダクタンスや寄生抵抗により電源やグラウンドの電位変動、すなわちパワーバウンス（Power Bounce）およびグラウンドバウンス（Ground Bounce）が発生し、パワーインテグリティ[1][2]が悪化し誤動作を引き起こす。

### 2. Signal Integrity（SI）問題

信号の高速化やプリント回路基板の高密度実装化に伴う信号の反射やクロストークといった信号品質の劣化に加え、PI の悪化に伴い、ジッタや波形歪が発生し、シグナルインテグリティ[3]が悪化する。

### 3. Electromagnetic Interference（EMI：電磁妨害）問題

従来から問題とされている高速高周波信号によるコモンモード放射等の不要電磁放射の問題に加え、電源系高周波電流により EMI レベルが悪化する。EMI に関しては世界各国で規制や基準が存在し、日本でも VCCI（Voluntary Control Council for Interference Information Technology Equipment：情報処理装置等電磁波障害自主規制協議会）で自主規制されており、市場に出荷する機器については各メーカーで基準を満たしていることを保証する必要がある。

### 4. Intra-System Interference 問題

携帯電話を代表とする無線機能を備えた機器において、機器内のデジタル回路の動作により発生した不要電磁波が RF 回路に干渉し、通信品質に悪影響を及ぼすといった近距離での EMI 問題であり、Intra-EMC、あるいは、自家中毒と呼ばれることもある。

SI/PI 問題については、従来は伝送線路のインピーダンスマッチングやダンピング抵抗の追加といった対策に加え、電源・グラウンド配線間へのバイパスコンデンサの追加や、プリント回路基板内への平板状の電源・グラウンド面（通称、べた面）の設置といった対策により、電源供給系のインピーダンスを低減することで改善を図ってきた。現在は LSI 内部やパッケージ上にキャパシタを搭載することで、より高周波領域まで電源供給系のインピーダンスを低減し、SI/PI の改善を図っている。また、EMI 問題については SI/PI 問題と同様の対策に加え、試作後に EMI 測定を行い、EMI 対策部品の追加、シールドディングの強化といった対策が行われている。さらに、自家中毒問題に関しては SI/PI/EMI 問題と同様の対策に加え、無線通信の周波数帯に LSI の動作周波数の高調波が入らないよう動作周波数を選定し、自家中毒による通信品質の劣化を防ぐといった対策も実施されている。

これらの問題、特に EMI や自家中毒問題は試作後の機器開発の下流工程（量産に近い工程）で顕在化するため、一旦問題が発生すると回路やプリント回路基板の再設計まで開発が後戻りしたり、納期優先でコストを度外視した対策を行ったりすることとなり、開発期間・コストの増大につながる。

一方で、これらの課題に対して、試作前に電磁界シミュレーションを行い、設計段階で課題発生リスクを抑えることも実施されている。試作前のシミュレーションでは主に市販の電磁界解析ツールが使われており、パッケージやプリント回路基板の電磁特性が精度良く求められている。しかしながら、電磁界解析により求められたパッケージやプリント回路基板の寄生成分を考慮した電源インピーダンス、信号線の反射特性や透過特性といった受動回路としての特性を LSI のモデルと組み合わせて、LSI が動作した際のパワーバウンスやグラウンドバウンス、EMI といった特性の解析を行うことは解析時間と精度の問題で実設計に適用するのは困難である。精度を追求する場合、SPICE モデルのように LSI 内部を詳細に記述したモデルが必要となるが、数億トランジスタが集積された LSI 全体を SPICE モデルで記述し、全回路を同時に解析することは現在のコンピュータの処理性能では実用上不可能である。このため文献 [4][5] ではノイズ源としてガウシアンパルスを用いるとともにモデルの縮約により解析規模を小さくしたり、解析を並列処理することで解析時間の短縮を図っている。逆に、解析時間を考慮し、LSI の I/O バッファを電流電圧特性で表した IBIS (Input/Output Buffer Information Specification) モデル [6][7] のような簡易モデル\*を用いた場合は LSI の電源電流を正確に表すことができず、解析結果が実測とは一致しない。そこで、近年、電源系高周波電流や EMC のシミュレーションに向けて、LSI の電源・グラウンド電流の振る舞いを表す EMC マクロモデルの開発・国際規格化がなされている [8][9]。

こういった背景のもと、本論文では洗濯機や冷蔵庫といった家電機器からテレビやハードディスクレコーダといった AV 機器まで広範囲に使われているマイクロコントローラ（以下、マイコン）を対象として、その機能ブロックを構成単位とし、機能ブロック間の内部結合を含めた EMC マクロモデルの構造およびその構築方法について提案している。

---

\*IBIS の最新バージョン（Ver. 5.0）では SPICE モデルのような詳細なモデル記述が可能となっているが、このバージョンを用いた解析では SPICE 同様、解析規模、解析時間が課題となる。

## 1.2 EMC マクロモデル

1.1 節で述べたように EMC シミュレーションに必要な LSI のモデルには，LSI の電源・グラウンドの高周波電流の振る舞いを精度良く表し，かつ，数億トランジスタの LSI にも適用可能なできるだけ簡略化したモデルであることが求められる．このようなモデルは，SPICE のような詳細モデルではない，主に PI/EMC シミュレーション用のモデルであることから EMC マクロモデルと呼ばれている．

現在，研究が進んでいる LSI の EMC マクロモデルは基本的に PDN (Power Distribution Network) と励振源 (電流源や電圧源) の組み合わせで構成されており，PDN を主に R, L, C の線形素子のみでモデル化することで，SPICE モデルなどの非線形素子を含むモデルに比べて電源系高周波電流を高速に解析することを可能としている．また，励振源として LSI の内部回路の動作に起因する電源電流や電圧変動まで考慮することで精度良く PI/EMI を解析することが可能となる．

国際規格化が進められている ICEM-CE (Integrated Circuit Emission Model - Conducted Emission)<sup>†</sup>も電源・グラウンドのネットワーク<sup>‡</sup>と IA (Internal Activity) と呼ばれる励振源の組み合わせとなっている [9][10][11]．また，専用のツールを用いて，LSI のレイアウト情報やロジックシミュレーション結果から抽出される CPM (Chip Power Model) [12] や LPM (LSI Power Model) [13] も R, L, C の等価回路と電流源で構成されている．我々の研究グループでも，EMC マクロモデルの一つとして，LSI の内部を線形等価回路と等価内部電流源で表現する電源系デバイスモデルを開発しており，これを LECCS (Linear Equivalent Circuit and Current Sources) モデルと呼んでいる [14]-[22]．これら EMC マクロモデルの概要は以下の通りである．

Table 1.1: EMC Macro-models

モデル名	研究・開発の主体	特徴
ICEM	ATMEL 等の欧州の半導体メーカー	PDN と IA (電流源や電圧源) でモデルを構成．CE/RE:Conducted/Radiated Emission の 2 種類．現在 IEC SC47A で規格化が進行中．
CPM	Apache (ANSYS)，Infineon 等	PDN と電流源でモデルを構成．RedHawk というツールで LSI の設計情報から生成．
LPM	Cadence，富士通等	PDN と電流源でモデルを構成．詳細は不明．
LECCS	京都大学，岡山大学，日本の半導体メーカー等	線形等価回路と等価内部電流源でモデルを構成．LECCS-core と LECCS-I/O の 2 種類．

(\*) これらのモデルに明確な定義の違いはなく，厳密に区別することは難しい．

これらの EMC マクロモデルのモデル構築方法に関しては，LSI の内部回路やレイアウトデータをもとにシミュレーションにもとづいてマクロモデルを生成する，あるいは，イ

<sup>†</sup>当初，Conducted Emission 解析用のモデルが ICEM と呼ばれていたが，Radiated Emission (RE) 解析用のモデルと明確に区別するため，現在は ICEM-CE と呼ばれている．

<sup>‡</sup>ICEM でも電源・グラウンドのネットワークを PDN と表現しているが，ICEM の場合は Passive Distribution Network の略である．これは LECCS モデルの線形等価回路モデルに相当する．

インピーダンスや電源電流の測定結果をもとにモデルを生成するといった、二つの面から研究が行われている。ただし、CPM や LPM は主に半導体ベンダーと半導体の設計・解析ツールベンダーから提案され、ICEM や LECCS モデルは主に半導体ユーザから提案されたという違いがあり、前者はシミュレーションによるモデル構築、後者は実測によるモデル構築の研究を中心として進んでいる。シミュレーションによるモデル構築では LSI の設計情報を使って LSI の試作前にモデルを生成することが可能であるが、レイアウト情報のような大規模なデータを扱う必要があり、また設計情報の入手が必須といった課題がある。一方で、実測によるモデル構築では、LSI のインピーダンスや電源電流の実測値からモデルを生成するため、ほぼすべての LSI のモデル化が可能である。しかし、測定結果には測定誤差が含まれる、LSI 試作後でなければモデル化できないといった課題がある。

本論文では、EMC シミュレーションの実現にはプリント回路基板上のすべての LSI をモデル化する必要があることを考慮し、実測によるモデル化に取り組み、EMC シミュレーションの精度向上に向けて、機能ブロックを構成単位とする EMC マクロモデルの新たな構造、必要な構成について提案する。

### 1.3 従来のマクロモデル化アプローチと課題

一般に LSI は Fig. 1.1 に示すように Core 部と I/O 部に分けることができる。本論文で対象としているマイコンでは Core 部は演算器を含む CPU ( Central Processing Unit )、プログラム格納用の ROM ( Read Only Memory )、演算等に用いる一時記憶用の RAM ( Random Access Memory )、クロック信号分配用のクロックツリーといった論理回路やメモリで構成されており、電源・グラウンドを除き、直接外部回路とは繋がっていない回路部である。I/O 部はデータ送受信やクロック入力等のため外部回路と接続している回路部である。ICEM-CE モデルは Core 部のモデルであり、I/O 部のモデルとしては IBIS モデルを用いるこ

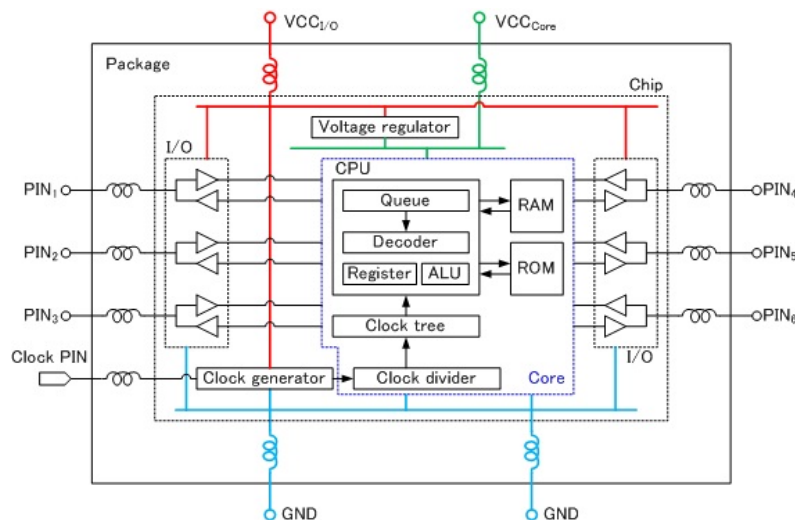


Figure 1.1: Configuration example of LSI.



とでLSI全体をシミュレーションすることを目指している [23][24] . 同様に CPM についても IBIS と組み合わせて LSI 全体をシミュレーションする研究が行われている [25] . LECCS モデルでは Core 部 , I/O 部それぞれのモデルを LECCS-core モデル [18]-[20] , LECCS-I/O モデル [21][22] と呼び , 主に別々にモデル化することを検討しているが , ICEM-CE モデルと同様に LECCS-core モデルと IBIS モデルを組み合わせる研究も行われている [26] . 本論文では LECCS-core モデルを対象としている .

LECCS-core モデルは前節で述べたように , 線形等価回路と等価内部電流源で構成される . この節では線形等価回路モデル構築と等価内部電流源の抽出に関して , 個別に従来手法とその課題について示す .

### 1.3.1 線形等価回路モデル構築における課題

これまで , Fig. 1.1 に示すような複数の電源・グラウンド端子を持つ LSI の LECCS-core モデルを構築する場合には , 以下のような手順でモデル化を行ってきた [16][19][20] .

1. 供給電圧や端子名をもとに各電源・グラウンド端子を Core 部用と I/O 部用に分類する .
2. 直流抵抗値をもとにそれぞれの電源・グラウンド端子をブロック分けする .
3. ブロックごとに LECCS-core モデルを構築する .

すなわち , 各電源端子間 , 各グラウンド端子間の直流抵抗を測定し , 抵抗値が数 以下の場合には同じ機能ブロックに属する端子 , それ以外の場合は異なる機能ブロックに属する端子として分類し , 同じ機能ブロックに属する端子のインピーダンスを測定し , 線形等価回路を構築していた . しかし , このようなモデル化手法では , LSI 内部で各機能ブロック間や端子間に高周波での結合があってもそれらを無視することとなる . そこで本論文では , EMC シミュレーションの精度向上に向けて , 従来の機能ブロック単位のモデルを改良し , 内部結合を含む機能ブロックを構成単位とする新たな線形等価回路構造と等価回路の各回路素子の値の決定方法を提案する . 本論文では内部結合として

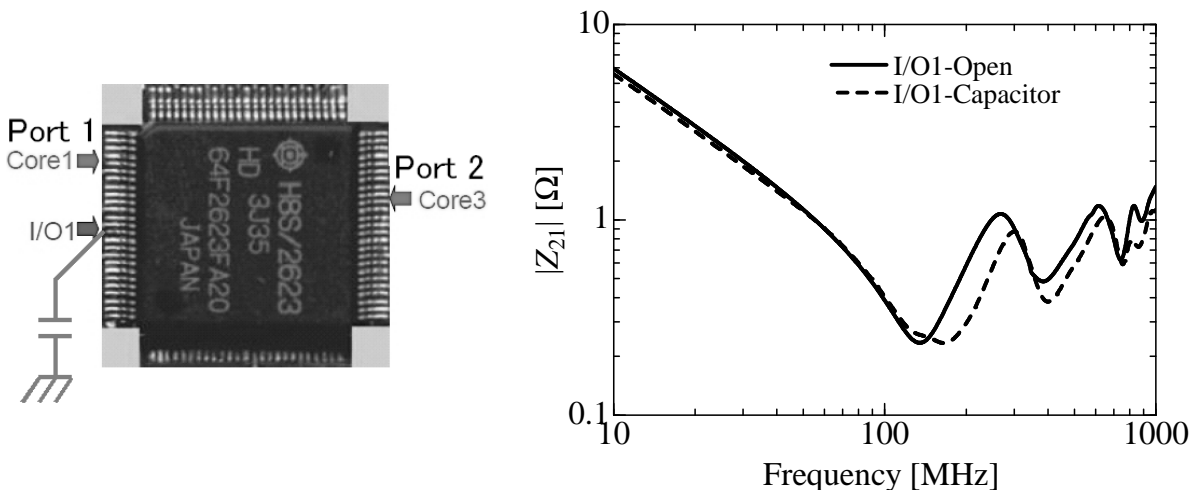
- メタル配線やゲートに起因すると推定される結合
- シリコン基板 ( substrate ) に起因すると推定される結合

の 2 種類の結合に着目している ( 詳細は後述 ) .

LSI 内部のメタル配線やゲートに起因すると推定される結合に関する課題

Fig.1.2(a) に示すマイコン ( H8S/2623 ) では I/O1 は I/O 部に属する電源端子であり , Core1 , Core3 は Core 部に属する電源端子である [27] . すなわち , I/O1 と Core1 , Core3 は異なる電源系に属する電源端子であり , 従来のモデルではそれぞれ I/O 部 , Core 部として独立にモデル化されていた [19] . しかし , 実際には 2 つの電源系間に内部結合が存在しており , Fig.1.2(b) に示すように , I/O1 にバイパスコンデンサ ( 以下 , パスコン ) を付加すると Core 部に属する 2 本の電源端子 ( Core1 , Core3 ) 間の伝達インピーダンスが変化する現象が

観測される．この現象を各電源系を個別にモデル化している従来のモデルを用いたシミュレーションでは再現することができない．これは機能ブロック間の結合を無視しているためである．Fig.1.2(b)を見ると，パスコンの有無によるインピーダンス変化は 100MHz を超える高い周波数領域で発生しており，この結合は LSI 内部のメタル配線やゲートで発生する寄生容量に起因する内部結合と推定される．このような現象をシミュレーションで再現するためには，異なる電源系に属する機能ブロック間であっても，LSI 内部に存在する高周波での結合をモデル化の際に考慮する必要があるといえる（詳細は第 2 章参照）．



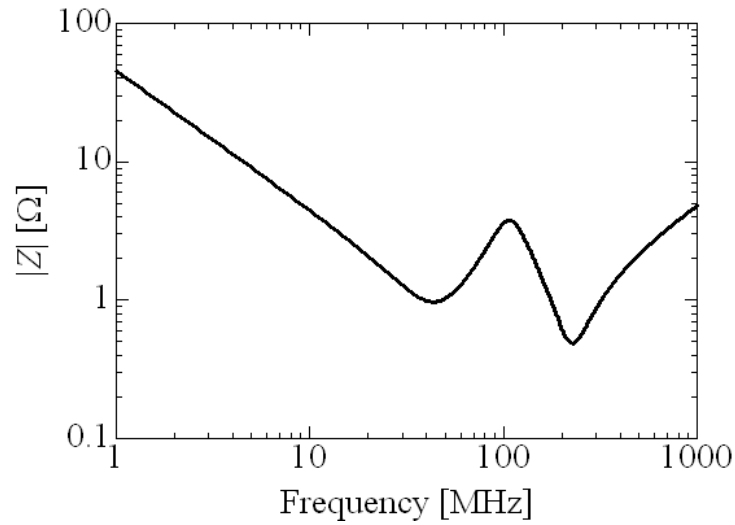
(a) LSI with a bypass capacitor on an I/O power pin (I/O1). (b) Transfer impedance between Core1 and Core3 of H8S/2623.

**Figure 1.2:** Peak frequency shift of the transfer impedance between power pins.

また，等価回路の各素子のパラメータの決定については測定したインピーダンスの絶対値のみを用いるアルゴリズムが提案されている [28]．このアルゴリズムは LSI の電源・グラウンド端子間を 1 ポート回路として観測した際に，例えば Fig.1.3 に示すように，インピーダンス特性において共振と反共振が単純に現れることを利用し，等価回路の回路素子の値の最適化を図るものである．この手法では以下の手順により，非常に短時間で等価回路の各回路素子の最適値が求められている．

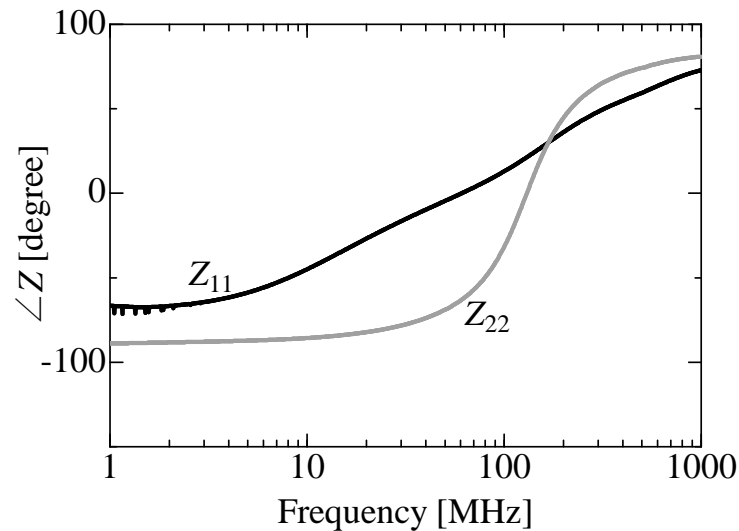
1. インピーダンスの絶対値の周波数特性から極小値を谷として谷の数と周波数を求める．
2. 谷の数から RLC 直列回路の段数を決定する．
3. 谷の周波数から RLC の初期値を決定する．
4. 局所探索法により RLC の値を改善する．

ここで提案されている方法はインピーダンスの絶対値のみを考慮したものであり，位相情報については考慮されていない．しかしながら現実には，単純な誘導性（L 性），容量性（C 性）で説明ができない位相も観測されており（Fig.1.4），従来手法のように絶対値だけで等価回路を求めても位相をシミュレーションで再現することは難しい．また，実際



**Figure 1.3:** Impedance characteristic (magnitude) of a power pin.

の LSI では複数の機能ブロックで発生した高周波電流を重ね合わせたものが電源端子を流れており，この電流を解析で求める場合には位相情報を無視することはできない．さらに，前述の手法は 1 ポートのインピーダンスを対象としたものであるため，各ブロック（ポート）間の伝達特性を考慮する必要がある多電源端子（複数ポート）のモデルの等価回路構築には適用できない．従って，等価回路の構造および等価回路を構成する各回路素子の値の決定には多電源端子（複数ポート）に適用可能で，かつ，位相情報を考慮した新たなパラメータ決定方法が必要である．



**Figure 1.4:** Impedance characteristics (phase) of a power pin.

そこで本論文では第 2 章において，電源が分離されているブロック間の高周波領域での結合を含んだ 3 ポートの線形等価回路構造と，その等価回路内の各回路素子の値を決定



する方法として、駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相を考慮し、複数ポートに適用可能な新たなパラメータ決定方法を提案している。

LSI 内部のシリコン基板 (substrate) に起因すると推定される結合に関する課題

現在機器で使用されているマイコンでは H8/3694F や MN101CF91D ( Fig.1.5, Fig.1.6 ) のように複数の電源ピンを持っているが、LSI の内部でグラウンドが相互に接続されており、グラウンド端子は共通となっている LSI が多数存在する [29][30] 。

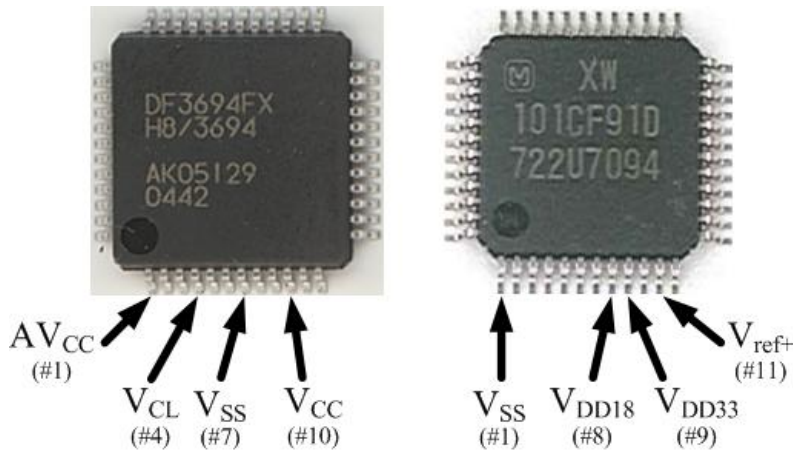


Figure 1.5: H8/3694F (left) and MN101CF91D (right).

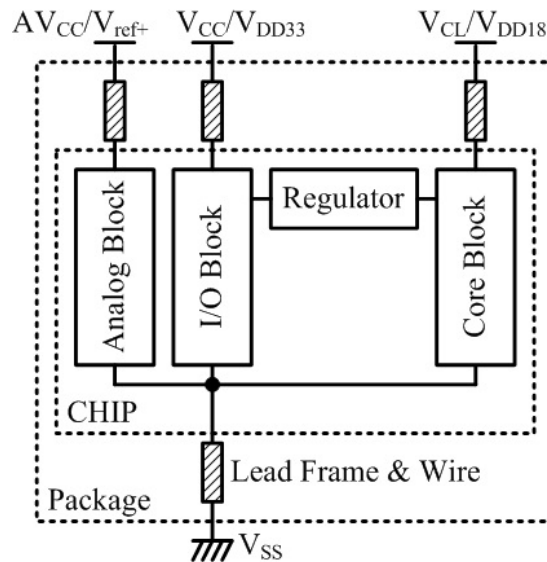


Figure 1.6: Block diagram of H8/3694F and MN101CF91D.

Fig.1.5 , 1.6 に示した LSI は内部にアナログ部 , コア部 , I/O 部を備え , 各ブロックの電源端子がそれぞれ  $AV_{CC}(V_{ref+})$  ,  $V_{CL}(V_{DD18})$  ,  $V_{CC}(V_{DD33})$  となっているのに対し , グラウンド

端子は  $V_{SS}$  が1本だけである<sup>§</sup>．また，どちらのLSIも内部に降圧回路（voltage regulator）を備え，3.3V電源（ $V_{CL}$ ）や1.8V電源（ $V_{DD18}$ ）は5V電源  $V_{CC}$  あるいは3.3V電源  $V_{DD33}$  からLSI内部で生成される．文献[20]ではこういったLSIの一つであるH8/3694FをFig. 1.7に示すようにモデル化している．

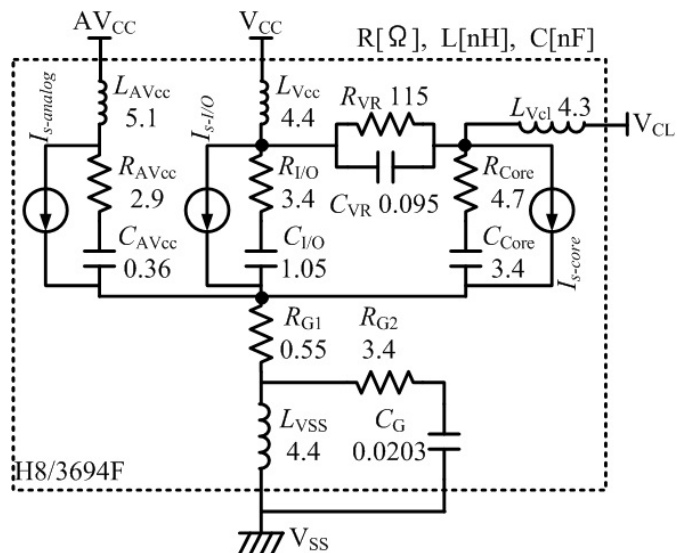


Figure 1.7: Conventional LECCS-core model of H8/3694F.

Fig. 1.7 のモデルの場合，Fig.1.8(a)に示すように各電源端子の駆動点インピーダンスに関しては実測結果を精度良く再現している．しかし，Fig.1.8(b)に示すように，伝達インピーダンスについてはあまり一致しておらず，特に低周波領域の伝達インピーダンスが正しく表現できていない．駆動点インピーダンスはよく一致していることから，伝達イン

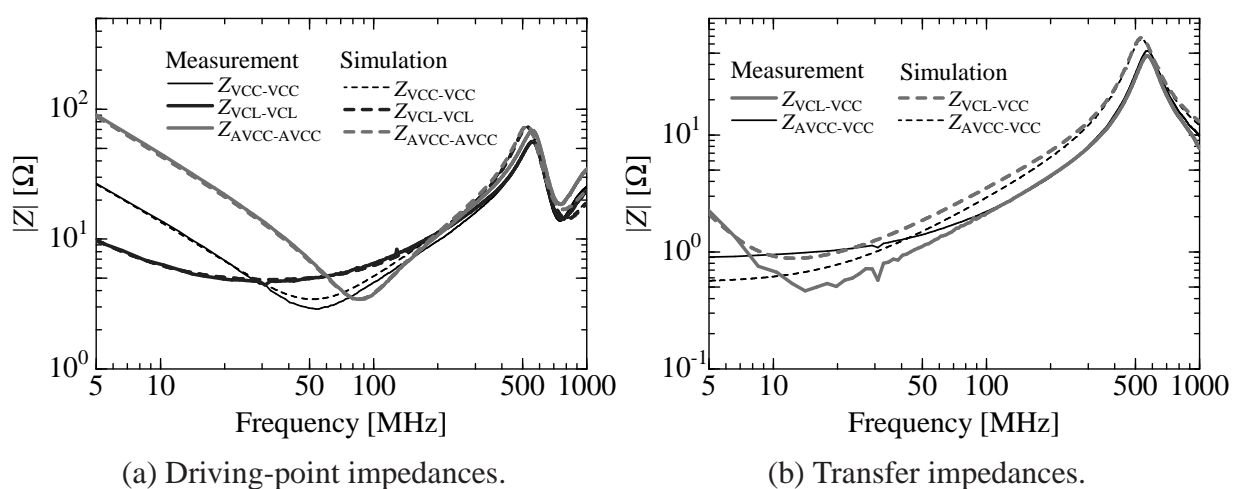


Figure 1.8: Impedance characteristics of the conventional model for H8/3694F.

<sup>§</sup>Fig.1.6 では I/O ブロックに属する I/O 端子を省略しており，図示していない．

ピーダンスのモデル精度を向上するためには、等価回路の各回路素子のパラメータを調整するだけでなく、等価回路の構造を見直す必要があるといえる。Fig.1.8(b) をみると、特に  $Z_{AVCC-VCC}$  では低周波領域でのインピーダンスが平坦になっており、抵抗性を示している。これは、AVCC、VCC、VCL が異なる電源系であり LSI 内部で分離されていることから、各電源に対するグラウンドについてもグラウンド間でノイズが伝播するのを防ぐために LSI 内部では分離されていることを示しているのではないかと推測する。つまり、本 LSI はグラウンド端子を 1 本しか備えておらず、各電源共通となっているため、LSI 内部で分離されているグラウンドがシリコン基板 (substrate) を介して結合されているのではないかと推定される。

そこで本論文では第 3 章において、複数の電源端子間の伝達インピーダンス特性を精度良く表現可能な線形等価回路の構築に向けて、シリコン基板の結合を考慮した新たな等価回路構造を提案している。この等価回路構造では、シリコン基板を介した結合を抵抗素子を用いた等価回路で表し、グラウンド側に抵抗素子を挿入して各電源端子に対応するグラウンド間を分離している。また、このモデルではシリコン基板と QFP (Quad Flat Package) のダイサポート間や、ダイサポートとプリント回路基板のグラウンド間に発生する寄生容量も考慮に入れている。

### 1.3.2 等価内部電流源モデル構築における課題

等価内部電流源 (例えば、Fig.1.7 の  $\dot{I}_{s-core}$ ,  $\dot{I}_{s-I/O}$ ,  $\dot{I}_{s-analog}$ ) は LSI の動作に起因して発生する電源電流をマクロに表現するために線形等価回路内部に配置される電流源であり、直接実測することは不可能である。そこで LECCS モデルの研究グループにおいてはプリント回路基板と LSI 内部それぞれのインピーダンスで決まる電流変換係数行列  $K$  を用いて周波数軸で抽出する研究が報告されている [20]。電流変換係数行列  $K$  とは線形等価回路内部に配置した等価内部電流源から各電源端子への伝達インピーダンスの比であり、その等価内部電流源から各電源端子に流れ出す電源電流の割合を表すものである。各電源端子の電流に対して電流変換行列  $K$  の逆行列をかけることで等価内部電流源を推定することができる (詳細は 3.5 節参照)。しかし、マイコンのようにプログラムに応じて動作が変化する LSI の場合、動作の変化に応じて等価内部電流源も変化するが、文献 [20] では等価内部電流源モデルの構築において、プログラム依存性までは考慮されていない。

一方で、ICEM モデルではプログラム依存性を考慮して等価内部電流源モデルを抽出し、EMC シミュレーションに適用する研究もいくつか報告されている [31]-[36]。

文献 [31]-[33] では SPICE モデルを用いて論理ゲートの入力波形や出力負荷に応じて電源電流が変化することを示し、入力波形や出力負荷に依存する各ゲートの電源電流波形を重ね合わせることで電流シミュレーションが可能であることが報告されている。また、この考え方にもとづき論理ゲートの電流を重ね合わせて電源電流を求める独自開発のツール (NEMO: Netlist-based Emission MOdels) で SPICE シミュレーションと同等の精度のシミュレーション結果が短時間で得られることも報告されている。

文献 [34]-[36] では PIC (Peripheral Interface Controller) マイコンを対象として命令コードごとに測定した電源電流を EMC マクロモデルの電流源とし、これらをプログラムに応

じて切り替えることでLSIの電源電流シミュレーションを行っている．その結果は実測とよく一致している．さらに，文献 [35]，[36] ではマイコンのパイプライン処理も考慮して解析を行った事例が示されている．

パイプライン処理とは，命令の処理をいくつかの処理ステージに分割し，各ステージを並列に実行することでマイコンの処理性能を向上する方法である [37]．Fig.1.9 に概念図を示す．Fig.1.9 には3段パイプラインの例を示しており，処理が命令フェッチ（Fetch），デコード（Decode），実行（Execute）の3段のステージに分けられ，並列処理されている．

しかしながら，文献 [31]-[33] では論理ゲートごとのモデル化，文献 [34]-[36] では命令コードごとのモデル化であるため，ゲート種類もしくは命令コードの数だけモデルが必要となり，モデル規模が大きくなる．また，文献 [31]-[33] のモデルではモデル構築には論理ゲートの SPICE モデル等の LSI の製造プロセスに関わる詳細情報が必要となるが，通常，半導体ユーザが基板上に搭載されている全 LSI の詳細な SPICE モデルを入手することは非常に困難である．

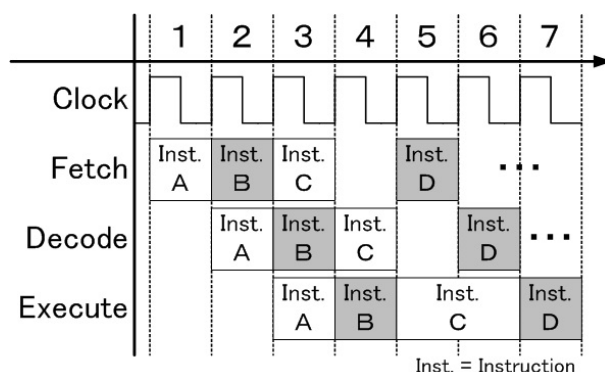
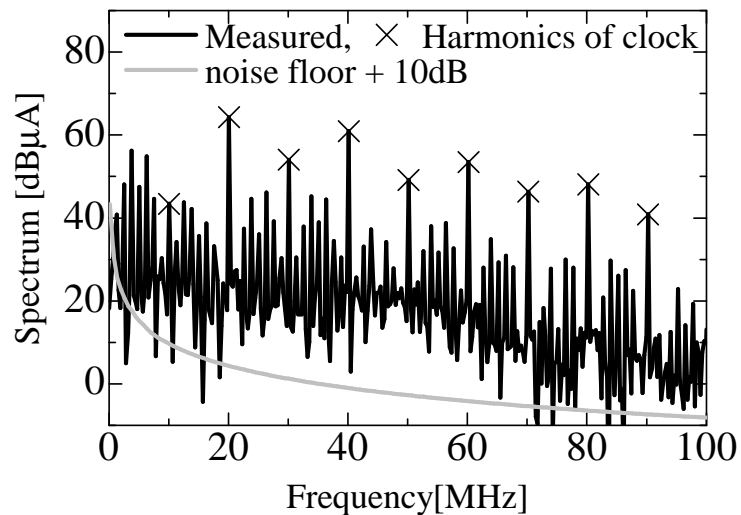


Figure 1.9: Pipeline process.

さらに，文献 [34]-[36] ではシミュレーションにより得られた電流波形から電源電流の周波数スペクトルを求めて実測との比較を行っている．比較結果をみると，動作クロック周波数の低次の高調波に関してはよく一致しているが，次数間調波に関してはずれが大きい．EMIは通常，遠方（3m や 10m）の電界の最大値で規制されるため，ピーク値が重要であり，動作クロック周波数の高調波を考慮することで問題はない．しかし，自家中毒問題（Intra-EMC 問題）の場合には，ノイズ源となる LSI とノイズを受けて誤動作や感度劣化を起こす回路が同じ機器内や同じプリント回路基板上に存在することが多く，非常に近距離での妨害となる．このため，微小なレベルでも問題を発生する可能性があり，次数間調波に関しても精度が必要となる．次数間調波は，例えば一定間隔でのメモリアクセスや，一定間隔でのデータ送受信等，擬似的な長周期成分が存在することで発生するものであり，完全なクロック同期回路であってもなくすることはできない．Fig.1.10 に 8 ビットマイコンを 10MHz で動作させた際の電流スペクトルの例を示す．EMI 規制ではマークを付けた 10MHz の高調波のみを考慮すれば良いが，自家中毒問題の場合は高調波間に発生する次数間調波も非常に重要となる．

そこで本論文では第 4 章において，LSI の電源電流のプログラム依存性について論じて

いる．8ビットマイコンを対象として，従来のようなゲートごとや命令ごとではなく，機能ブロックごとの時間領域での電源電流を抽出し，マイコンで実行するプログラムに応じて動作する機能ブロックの電源電流を足し合わせることで，プログラムに応じて変化するLSIの電源電流の予測を実現している．また，プログラムで扱うデータに応じて電流が変化することを示し，データの違いを考慮することで電源電流の解析精度が向上することを示している．



**Figure 1.10:** Current spectrum of a microcontroller operated at 10MHz.



## 1.4 EMC マクロモデルに関する提案の概要と論文の構成

本論文では EMC マクロモデルである LECCS モデルに関して、特に LECCS-core モデルを対象として前節で述べた課題を解決し、モデル精度を向上するために行った研究について論じる。具体的には複数の機能ブロックを備えるマイコンを対象とし、機能ブロックを構成単位とした EMC マクロモデルの構築に向けて、(1) 機能ブロック間の内部結合を含む新たな EMC マクロモデルの構造、(2) 駆動点インピーダンスおよび伝達インピーダンス両方の絶対値と位相を考慮して線形等価回路の各回路素子の値を決定する方法を提案する。さらには、機能ブロックごとの等価内部電流源モデルの提案に向けて、(3) 各機能ブロックの電源電流抽出と抽出した電源電流を用いて LSI の電源電流を予測する方法について論じている。以下に本論文の構成を示す。

第 2 章では、まず、マイコンが有する複数の機能ブロック（コアブロック、I/O ブロック、アナログブロック等）間において、 $S$  パラメータを測定し、従来の LECCS-core モデルでは無視されていたブロック間内部結合（IBC：Inter-Block Coupling）が存在することを示している。 $S$  パラメータの測定結果からは 100MHz を超える高い周波数領域で結合が見られ、この結合は主に LSI 内部のメタル配線やゲートに起因する容量性の結合と推定される。そこで、マイコンを各機能ブロックに分割してマクロモデルを構築する場合の、IBC を含む線形等価回路モデルの構造、および、各回路素子の値の決定方法について提案している。従来、複数の機能ブロックと複数の電源端子を持つ LSI に関しては、電源端子間の直流抵抗の大小に応じて各電源端子を機能ブロックに分け、各機能ブロックを個別にモデル化してきた。しかし、実際には高周波領域において、たとえ電源が分離されているブロック間であっても、それらは LSI 内部で結合しており、その IBC を考慮して線形等価回路を構築する必要がある。第 2 章では機能ブロックごとに独立した電源端子とグラウンド端子を持つ 8 ビットマイクロコントローラを対象とし、コアブロックと I/O ブロック間の電源端子間に高周波において IBC が存在することを実測により示し、この IBC を含んだ 3 ポートの線形等価回路モデルを提案している。このモデルを用いることで、I/O ブロックに属する電源端子へのバイパスコンデンサ接続の有無によって生じるコアブロック用電源端子の内部インピーダンス変化がシミュレーション可能となることを示している。また、提案した 3 ポートの線形等価回路モデルの各回路素子の値を決定する方法として、等価回路のインピーダンスを各回路素子の値を変数とした式で抽出する記号解析（Symbolic Analysis）を行い、抽出したインピーダンスが実測のインピーダンスと一致するように最小二乗パラメータ最適化により回路パラメータを決定する新たな方法を提案している。最小二乗パラメータ最適化においては駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相を考慮している。

第 3 章では、複数の電源端子間の伝達インピーダンス特性に注目し、より実測値に近い特性を示す線形等価回路を構築することを目的として、新たな線形等価回路モデルの構造を提案している。本章では、電源系は複数に分離されているが、各電源系に対応するグラウンド端子は共通であるマイクロコントローラを対象としている。この LSI では内部で分離されているグラウンド間がシリコン基板を介して結合していると推定し、この結合を抵抗素子を用いた等価回路で表現してグラウンド側に挿入することで各電源に対応するグラ

ウンド間を分離した構造の等価回路モデルを提案している。グラウンド側を抵抗素子で分離した構造としたのは、従来のモデルでは、異なる電源系に属する電源端子の駆動点インピーダンスについては実測とよく一致しているのに対し、電源端子間の伝達インピーダンスについては低周波数領域で実測と差があり、かつ、低周波数領域では平坦性（抵抗性）を示しているためである。本モデル化においても、第2章で提案した記号解析（Symbolic Analysis）と駆動点インピーダンス、伝達インピーダンス両方の絶対値・位相を考慮した最小二乗パラメータ最適化により回路パラメータを決定するモデル構築手法を適用している。さらに、異なる8ビットマイコンに対しても同様の等価回路構造・モデル化手法を適用し、等価回路構造・モデル化手法が広く適用できることを実証している。なお、このモデル化の際にはLSIのシリコン基板（substrate）とQFP（Quad Flat Package）のダイサポート間や、ダイサポートとプリント回路基板のグラウンド間に発生する寄生容量を考慮に入れている。この寄生容量は10pF程度と非常に小さい値ではあるが、数百MHzを超える高周波電流が流れる経路として無視することはできず、EMCシミュレーションにおいては非常に重要であるといえる。本章ではプリント回路基板のグラウンドとダイサポート間の距離を変更して、寄生容量を変化させ、その変化が本章で述べたモデル化手法を用いることで正しくモデルに反映されることを確認している。

第4章では、8ビットマイコンの各機能ブロックの電源電流抽出とそれらを組み合わせた時間領域でのマイコンの電源電流解析法について論じている。本章では、機能ブロックごとの電源電流を実測によって求め、それらをマイコンで実行するプログラムに応じてパイプライン処理を考慮して足し合わせることで、プログラムや動作周波数を変更した場合でも電源電流のシミュレーションが可能であることを示している。電源電流測定においては、磁界プローブを用いて電源電流を測定しており、アベレージングを行うことでS/N比を改善し、微小な電流まで測定できることを示すとともに、測定された電流波形から機能ブロックごとの電流を分離する方法についても述べている。また、実行するプログラムを変更した場合のLSIの電源電流の時間波形を、抽出したブロックごとの電源電流を合成することにより求め、その時間波形の周波数スペクトルを求めると、動作クロック周波数の高調波だけでなく、イントラEMC<sup>¶</sup>で問題となる次数間調波も精度良く予測することができることを示している。さらには、プログラムで扱うデータの値に応じて電源電流が変化することを示し、データの違いを考慮することで電源電流の解析精度が向上することを示している。

第5章は結論であり、本論文で得られた成果について要約するとともに、今後取り組むべき課題と将来の展望について述べている。

<sup>¶</sup>携帯電話のように通信回路とデジタル回路の両方を備えた機器において、デジタル回路で発生したノイズが通信性能を劣化させる現象。自家中毒と呼ばれることもある。

## 第2章 機能ブロック間結合を考慮した LECCS-core モデル

### 2.1 まえがき

本章では、複数の機能ブロックと複数の電源端子を持つ LSI を対象として、機能ブロックを構成単位とし、機能ブロック間の内部結合（IBC：Inter-Block Coupling）を含めた新たな線形等価回路構造とその構築方法について提案している．本章では特に、LSI 内部のメタル配線やゲートで発生する寄生容量に起因すると推定され IBC に着目して新たな線形等価回路構造を提案している．

従来、複数の機能ブロックと複数の電源端子を持つ LSI に関しては、電源端子間の直流抵抗の大小に応じて各電源端子を機能ブロックに分け、各機能ブロックを個別にモデル化してきた [16][20]．しかし、実際には高周波領域において、LSI 内部のメタル配線やゲートで発生する寄生容量に起因すると推定される機能ブロック間の IBC が存在しており、この IBC を考慮して線形等価回路を構築する必要がある．そこで、本章では機能ブロックごとに独立した電源端子とグラウンド端子を持つ 8 ビットマイクロコントローラを対象とし、電源系が異なる機能ブロック（コアブロックと I/O ブロック）の電源端子間に高周波において IBC があることを実測により示し、この IBC を含んだ 3 ポートの LECCS-core モデル構造を提案している．また、この 3 ポートの LECCS-core モデルの線形等価回路の各回路素子の値を決定する方法として、駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相を考慮した新たなパラメータ決定方法を提案している．本章で提案したモデルを用いることで、I/O ブロックに属する電源端子に容量（バイパスコンデンサ）を接続した際にコアブロック用電源端子の内部インピーダンスの共振周波数が変化する様子をシミュレーションで再現することが可能となる．

### 2.2 LECCS-core モデルの従来の線形等価回路構築方法

第 1 章序論でも述べたように、一般に LSI は Fig.2.1 に示すように Core 部と I/O 部に分けられる．Core 部は電源・グラウンドを除き、直接外部回路とは繋がっていない演算回路部であり、I/O 部はデータ送受信のため外部回路と接続している入出力回路部である．これら 2 つの回路部のそれぞれで、トランジスタのスイッチング動作に起因して、EMI の原因となる電源系高周波電流が発生する．

これまで、このような複数の電源・グラウンド端子を持つ LSI の LECCS-core モデルを



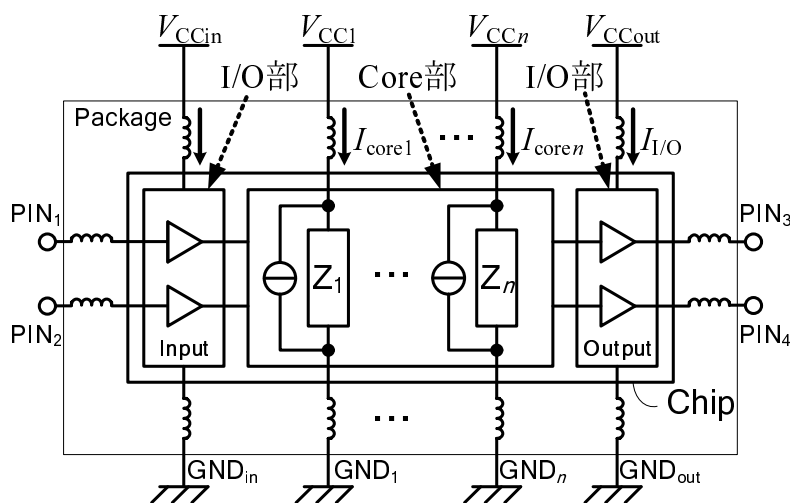


Figure 2.1: Basic configuration of an LSI.

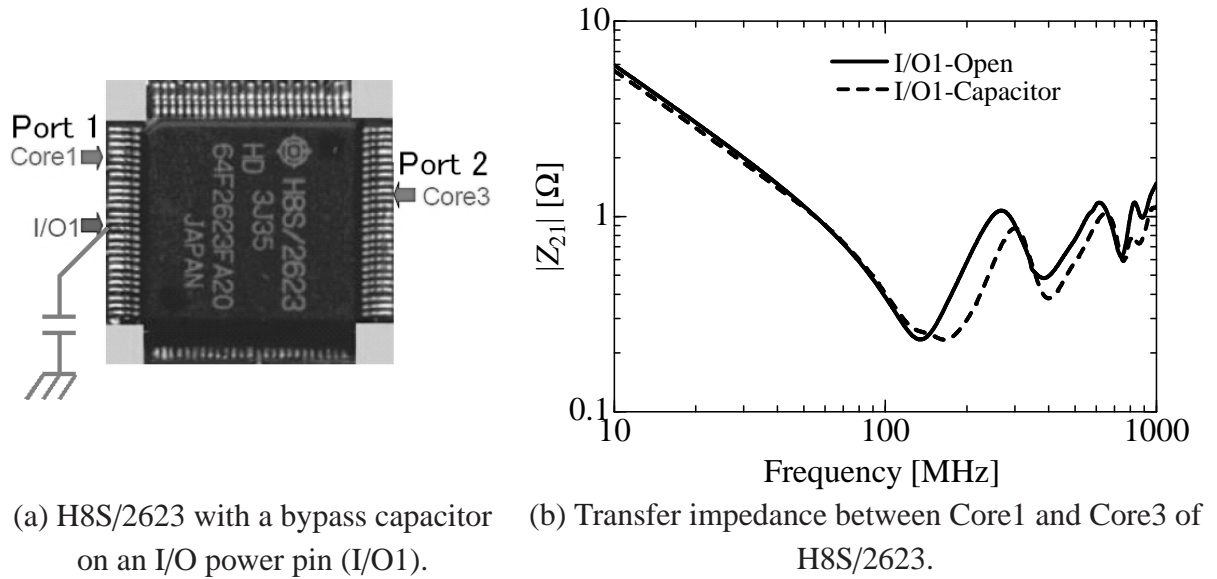
構築する場合には以下のような手順でモデル化を行ってきた [16] .

- 1 供給電圧や電源端子名をもとに Core 回路用の電源端子と I/O 回路用の電源端子を分ける .
- 2 直流抵抗値をもとに各回路用の電源・グラウンド端子をブロック分けする .
- 3 ブロックごとに LECCS-core モデルを構築する .

しかし、このようなモデル化手法では、各機能ブロック間や端子間に高周波での結合があってもそれらを見捨てることとなる。実際に、Fig.2.2 に示すように、8 ビットマイコン H8S/2623 の I/O 部の電源端子 (I/O1) にバイパスコンデンサ (以下、パスコン) を付けた際に、Core 部に属する 2 本の電源端子 (Core1, Core3) 間の伝達インピーダンスが変化する様子も観測されているが、従来のモデルを用いたシミュレーションではこの変化を再現することはできない。

そこで本章では、マイクロコントローラ H8S/2623 を対象として、Core 部と I/O 部が高周波においてブロック間結合していることを示し、ブロック間結合を考慮した 3 ポートの LECCS-core モデル構造とその構築方法を提案する。さらに、その 3 ポートの LECCS-core モデルを用いることで、I/O 部の電源端子に付加したパスコンによる Core 部の電源端子から観測される LSI 内部のインピーダンス変化をシミュレーションすることが可能となることを示す。

また、従来の LECCS-core モデルでは RLC 直列回路を複数並列に接続した形で線形等価回路を表現しており、線形等価回路の各回路素子の値の最適化方法としてインピーダンスの絶対値を用いるアルゴリズムが提案されている [28]。このアルゴリズムは LSI の電源・グラウンド端子間を 1 ポート回路として観測した際に Fig.2.2(b) に示すようにインピーダンス特性において共振と反共振が単純に現れることを利用しており、以下の手順で回路素子の値の最適化を図るものである。本手法により、非常に短時間で各回路素子の最適値が求められている。



**Figure 2.2:** Peak frequency shift of the transfer impedance between power pins.

1. インピーダンスの絶対値の周波数特性から極小値を谷として谷の数と周波数を求める．
2. 谷の数から RLC 直列回路の段数を決定する．
3. 谷の周波数から RLC の初期値を決定する．
4. 局所探索法により RLC の値を改善する．

しかし，従来の方法はインピーダンスの絶対値のみを考慮しており，位相までは考慮していない．また，1 ポートのインピーダンスを対象としたものである．このため，この手法は位相を考慮した 3 ポートモデルの等価回路構築には適用できない．そこで，本章の 3 ポートの LECCS-core モデルの構築では，

1. 線形等価回路の構造を決定する．
2. 記号解析 (Symbolic Analysis) [38][39] と呼ぶ手法を用いて線形等価回路の Z パラメータを回路素子の値を変数とした数式で抽出する．
3. 駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相を考慮して回路素子の最適値を最小二乗法により決定する．

という新たなパラメータ決定方法を提案している．

## 2.3 多電源ピン LSI の LECCS-core 従来モデル

今回モデル化対象とした DUT (H8S/2623) のパッケージは 100pin の QFP (Quad Flat Package) であり，その中の電源とグラウンド端子の名称と端子番号を Table 2.1 に示す．3 つの電源系 (Core:3.3V, I/O:5.0V, Analog:5.0V) を持ち，かつ，それぞれの電源系の

中で異なる複数の電源・グラウンド端子ペアを持つことがこの DUT の特徴である．なお，各電源端子に対応するグラウンド端子は端子位置を考慮して選定している．

Table 2.1 より，本 DUT の電源端子数は Core 電源:3，I/O 電源:4，Analog 電源:2 の 9 端子であるが，Analog の VREF 端子 (端子番号 77) は参照電位供給用端子なのでほとんど電流は流れないため対象外とし，8 組の電源・グラウンド端子ペアをもつと考えても問題はない．

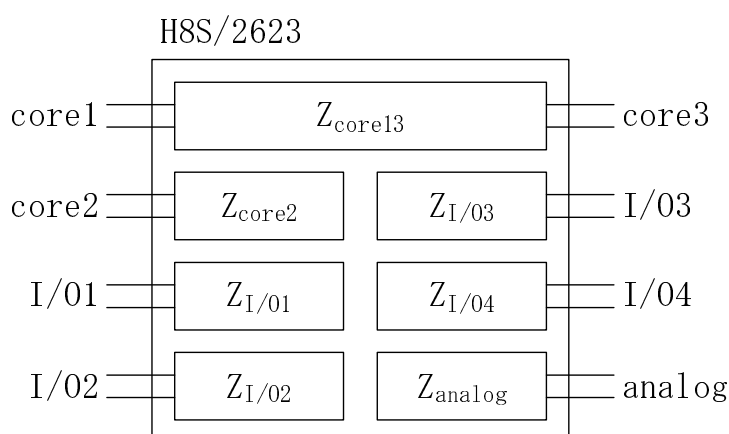
**Table 2.1:** Power supply pins and ground pins of H8S/2623.

電源種類	ブロック名	端子名 (端子番号)
Core(3.3V)	core1	VCC(6)，VSS(8)
	core2(PLL)	PLLVCC(59)，PLLVSS(57)
	core3	VCC(63)，VSS(65)
I/O(5V)	I/O 1	PVCC1(17)，VSS(15)
	I/O 2	PVCC2(39)，VSS(37)
	I/O 3	PVCC3(52)，VSS(54)
	I/O 4	PVCC4(97)，VSS(95)
Analog(5V)	analog	VREF(77)，AVSS(94)
		AVCC(76)，AVSS(94)

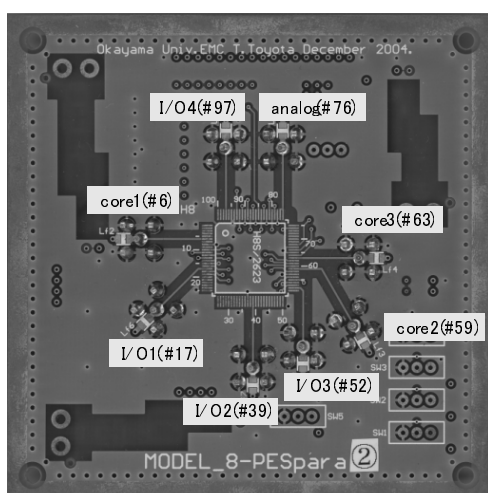
これらの電源端子のうち Core 用電源の core1 と core3 は電源・グラウンドともに相互に低抵抗で結線されている．そのため，これまでは core1 と core3 は Fig.2.3 に示すように 2 ポートの LECCS-core モデルで表され，その他の電源については 1 ポートの LECCS-core モデルとして表されていた [18][19]．文献 [18] では LSI を実装する基板上の配線のインダクタンスと浮遊容量をシミュレーション時に考慮することで，このモデルを用いてインピーダンス特性を精度よくシミュレーションすることが可能であることが示されている．また，文献 [19] では core1，core3 を低抵抗で接続し 1 つのブロックとしたモデルを用い，core1 にパスコンを付けた場合の電源電流スペクトルを精度良くシミュレーション可能であることが示されている．しかし，これらの文献ではインピーダンスの位相は考慮されておらず，また，core1・core3 と I/O1 は分離してモデル化されているため，Fig.2.2 に示すような I/O 用電源端子の状態の違いによる Core 用電源インピーダンスの変化は再現できない．

## 2.4 S パラメータによるブロック間結合確認

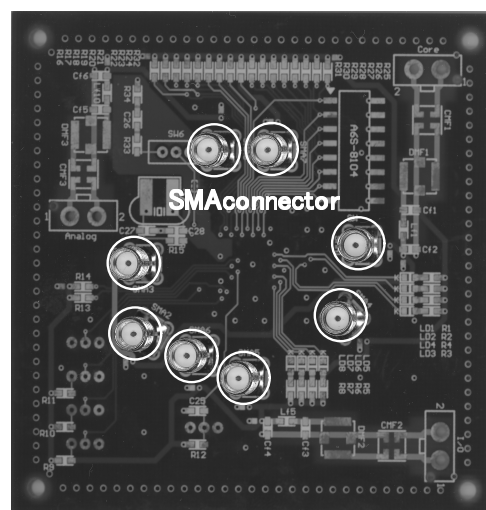
前に述べたように，これまで LECCS-core モデルを構築する際には LSI の各電源端子間の直流抵抗値を測定し，直流抵抗値をもとに内部を複数のインピーダンスブロックに分割していた．しかし，それでは寄生インピーダンスによる高周波でのブロック間結合を無視した形でモデル化を行うことになる．そこで高周波でのブロック間結合の有無を確認し，ブロック間の結合を含めたモデルを構築するため DUT の多ポート S パラメータ測定を行う



**Figure 2.3:** Conventional LECCS model for H8S/2623.



(a) Layer 1



(b) Layer 4

**Figure 2.4:** Test board for S parameter measurement.

た．DUT の S パラメータ測定に用いた基板を Fig. 2.4 に示す．本基板は 4 層基板であり，第 1，4 層は配線層，第 2 層はグラウンド層，第 3 層は電源配線層となっている．第 1 層には DUT のみを実装し，他の部品は第 4 層に実装している．測定器接続用の SMA コネクタと DUT は第 1 層を用いて 50  $\Omega$  のマイクロストリップラインで接続している．この基板に部品を実装し，ネットワークアナライザ（Agilent E5071C）を用いて S パラメータ測定を行った．測定時には，測定対象以外のポートは 50  $\Omega$  で終端するとともに，基板上的 SMA コネクタから DUT の電源端子までの 50  $\Omega$  線路の電気長を算出し，ネットワークアナライザのポートエクステンション機能を用いて線路の影響を取り除いている．Fig.2.5，Fig.2.6 に DUT 未実装状態でのポートエクステンション機能使用前後での  $S_{I/O1-core1}$  と  $S_{core1-core1}$ （位相）の測定結果を示す．Fig.2.5 より，基板上で I/O1-core1 間に不要な結合は存在しないことが確認できる．また，Fig.2.6 よりポートエクステンション機能により，1GHz まで

50 線路の影響がほぼ取り除けていることが確認できる．

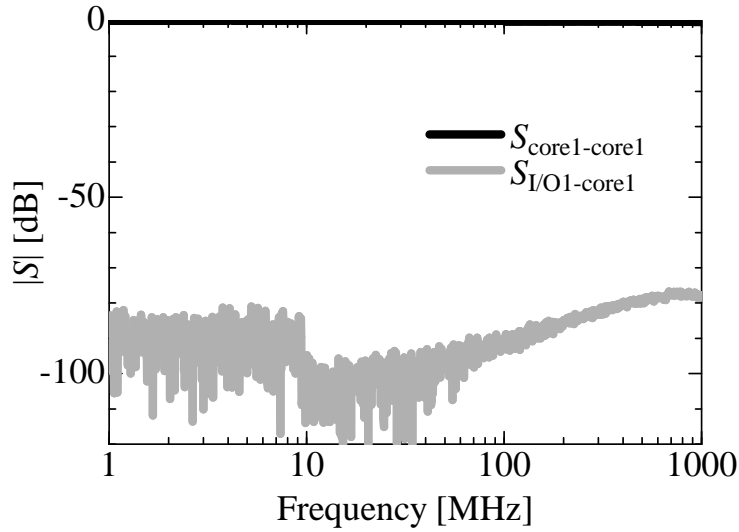


Figure 2.5: Magnitude of transmission and reflection characteristics.

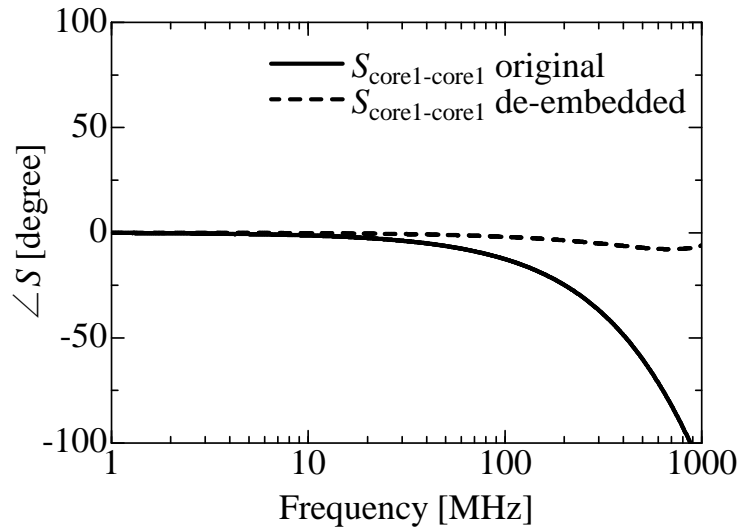


Figure 2.6: Phase of reflection characteristics.

Fig.2.7 に core1-core3 間の伝達特性の測定結果を示す．なお， $S_{\text{core3-core1}}$  については  $S_{\text{core1-core3}}$  と相反性があり，ほぼ同一であるため省略している．また，Fig.2.8 に core1 と I/O1 間，および，core3 と I/O1 間の伝達特性の測定結果を示す．

Fig.2.7 において  $S_{\text{core1-core3}}$  をみると，低周波領域（20MHz 以下）では  $S_{\text{core1-core3}}$  が大きく結合は強いが，高周波領域（30MHz 以上）においては  $S_{\text{core1-core3}}$  は小さく結合も弱い．一方，Fig.2.8 の  $S_{\text{I/O1-core1}}$  をみると， $S_{\text{core1-core3}}$  とは逆に，周波数が低い領域では結合が弱く，周波数が高い領域では結合が強くなっている．ここで，電流・電圧の結合量として，5%（S パラメータの値が -26dB）以上を電源供給回路間の結合を考慮すべき基準とする

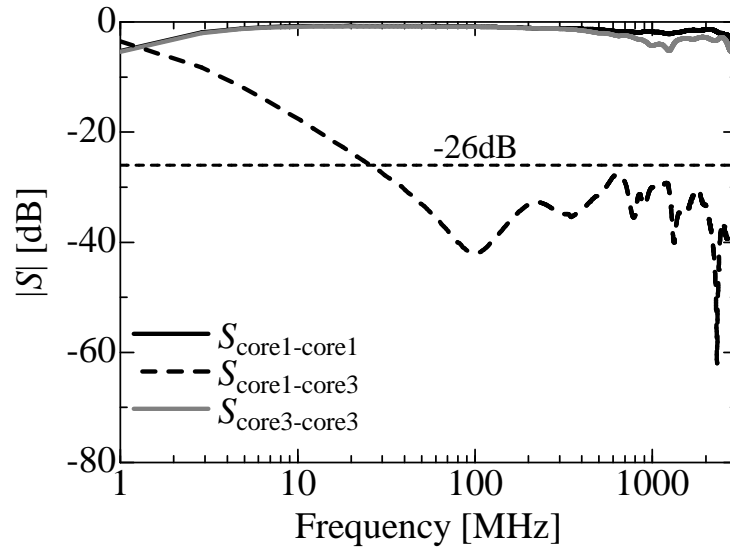


Figure 2.7: Transmission characteristics of the core block.

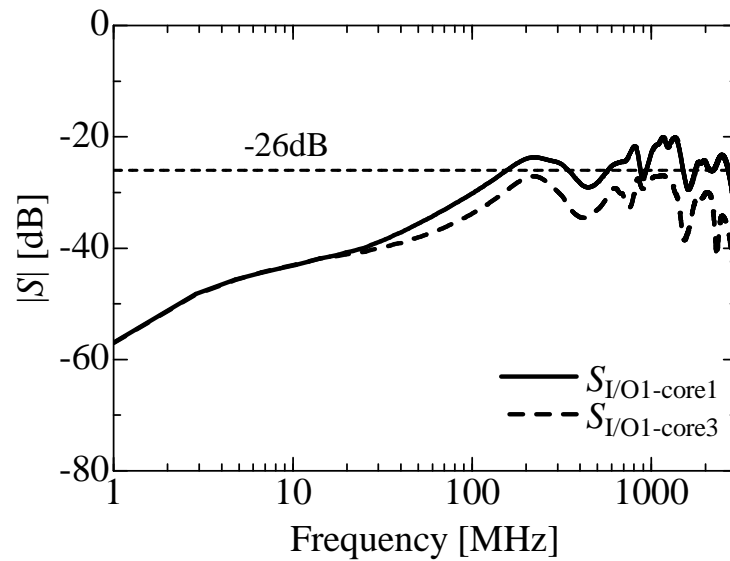
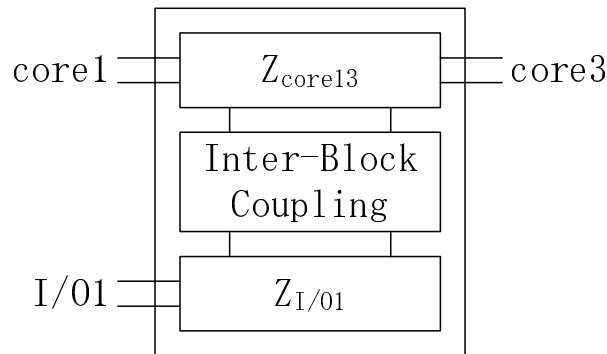


Figure 2.8: Transmission characteristics between I/O1 and the core block.

と, Fig.2.7, Fig.2.8 より, core1 は 30MHz 以下では core3 と強く結合しているが, 140MHz ~ 340MHz の間ではむしろ I/O1 と結合しているといえる. これは文献 [19] で core1 にパスコンを付けた場合に core3 の電流スペクトルが 30MHz 以下では大きく変化したのに対し, それ以上の周波数帯ではほとんど変化が見られなかったこととも良く一致する. また, 570MHz 以上では  $S_{\text{core1-core3}}$  で見られる共振と同等の共振が  $S_{\text{I/O1-core1}}$  にも多数見られ, これらは寄生結合によるものと推定される. これらの S パラメータ測定結果から, 高周波においては core1-core3 間の結合より, I/O1 と core1 間, I/O1 と core3 間の結合をより重視すべきと考えられる. このため, Core 部と I/O1 部とのブロック間結合を考慮し, H8S/2623 の LECCS-core モデルは Fig.2.9 で示すように core1-core3 と I/O1 間に LSI 内部で結合した

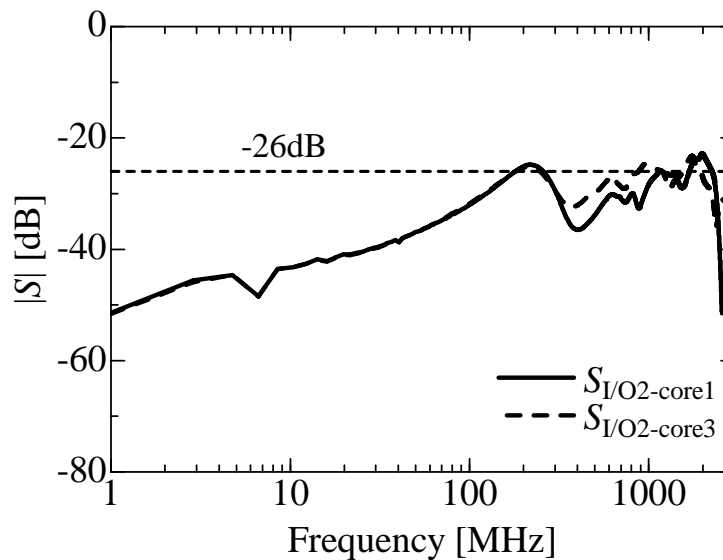


モデルとすべきであるといえる．



**Figure 2.9:** LECCS-core model with the coupling to the I/O1 block.

I/O1 と同様に，I/O2 に関して core1，core3 との伝達特性の測定結果を Fig.2.10 に示す．I/O1 と同様に周波数が高い領域において I/O2 への結合が見られるが，I/O1 に比べて若干結合が弱いことから，まずは I/O1 のみの結合を考慮してモデル化を行うこととした．



**Figure 2.10:** Transmission characteristics between I/O2 and the core block.

## 2.5 ブロック間結合を考慮した LECCS-core モデルの検討

ここでは core1-core3 と I/O1 間のブロック間結合を含めた 3 ポートの LECCS-core モデルの構築について示す．手順は以下の通りである．

**Step1** S パラメータを Z パラメータに変換

**Step2** Z パラメータから等価回路構造を設定

**Step3** Symbolic Analysis により各回路素子の値を変数としたインピーダンスの式を抽出

**Step4** 等価回路の各回路素子の値を最適化

**Step5** 構築したモデルの精度検証

### 2.5.1 S-Z 変換

core1-core3 , core1-I/O1 , core3-I/O1 それぞれについて測定した S パラメータを以下の式に従い Z パラメータへの変換を行った．変換後の各 Z パラメータの絶対値と位相をそれぞれ Fig.2.11 , Fig.2.12 に示す．

$$[Z] = [\sqrt{Z_0}]( [E] + [S] )( [E] - [S] )^{-1} [\sqrt{Z_0}] \quad (2.1)$$

$$[\sqrt{Z_0}] = \begin{bmatrix} \sqrt{Z_{01}} & 0 & \cdots & 0 \\ 0 & \sqrt{Z_{02}} & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & \sqrt{Z_{0N}} \end{bmatrix}$$

$[E]$ :単位行列

なお ,  $N$  はポート数であり , 本論文では  $N = 3$  である .

### 2.5.2 等価回路構造の設定

今回のモデル構築では最初に等価回路の構造を定義し , その後に Symbolic Analysis により等価回路のインピーダンスを各回路素子の値を変数とした式で抽出し , 最後に等価回路の各回路素子の値を Z パラメータに合うように最適化を行うため , 等価回路の構造をどのように定義するかが非常に重要となる . Fig.2.13 に今回定義した等価回路の構造を示す . この等価回路では core1-GND1 , core3-GND1 , I/O1-GND2 の各端子ペアをそれぞれ core1 , core3 , I/O1 ポートと定義している . core1-core3 間が低周波数領域で結合が強いことから , core1-core3 ( Fig.2.9 の  $Z_{\text{core13}}$  ) に関しては抵抗 ( $R_{\text{core1}}$  ,  $R_{\text{core3}}$  ) を介した T 型回路で表し , Fig.2.9 の Inter-Block Coupling を抵抗 ( $R_{\text{IBC1}}$  ,  $R_{\text{IBC2}}$  ) , キャパシタ ( $C_{\text{IBC1}}$  ,  $C_{\text{IBC2}}$  ) , 相互インダクタンス ( $M_{\text{VCC}}$  ,  $M_{\text{GND}}$  ) で表す構造としている . なお , LSI 内部では各電源・グラウンドが交互にリング配線されていると予想し , 寄生結合は core1-core3



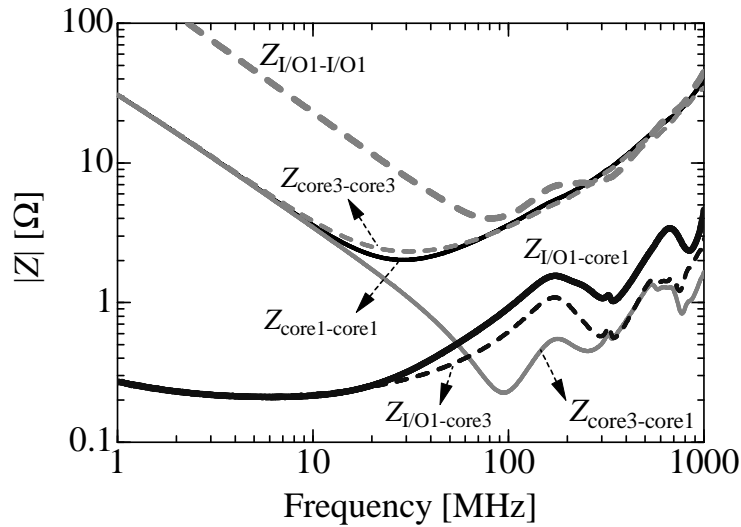


Figure 2.11: Magnitude of measured impedance.

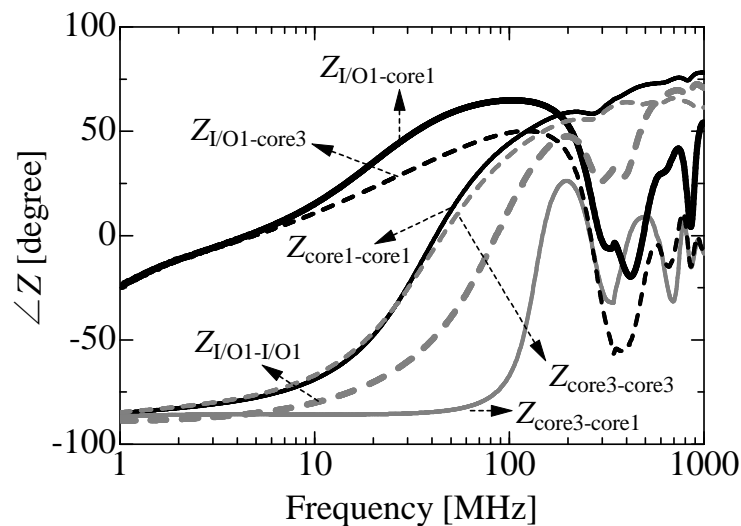


Figure 2.12: Phase of measured impedance.

の電源と I/O1 のグラウンド, core1-core3 のグラウンドと I/O1 の電源間に交差する形で設定している。また, パッケージのリード部での誘導性結合を考慮し, 電源端子部分, グラウンド端子部分のそれぞれに相互インダクタンスが発生していると想定している。

### 2.5.3 Symbolic Analysis によるインピーダンスの式の抽出

等価回路のインピーダンスの式の抽出に用いた Symbolic Analysis では各回路素子の値を変数として, 3 ポートの Z パラメータの各要素を複素周波数  $s$  の式として導出する。  $s$  領域の式の導出には SAPWIN\* というソフトを用いた。この時, Z パラメータの各要素は

\*<http://cirlab.det.unifi.it/Sapwin> よりダウンロード可能なフリーウェアである

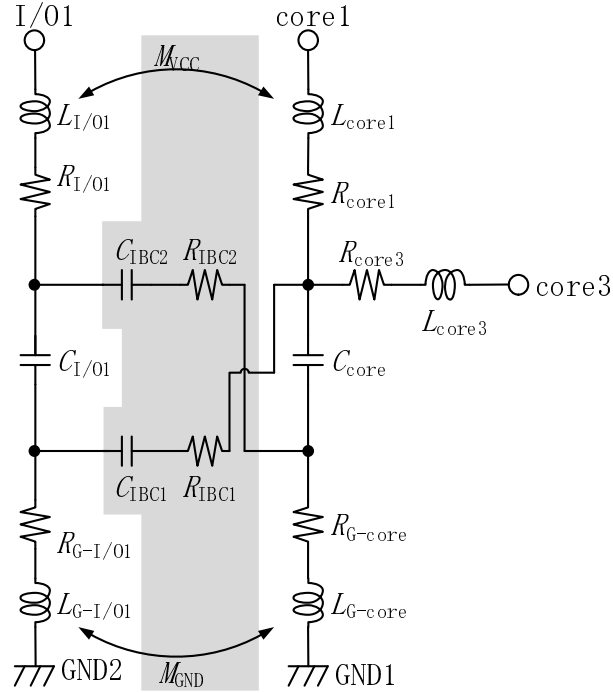


Figure 2.13: Configuration of equivalent circuit of 3-port LECCS-core model.

$s$  と回路素子の値を用いて次のように表される .

$$\begin{aligned} Z(s) &= f(s; C_{\text{core}}, C_{\text{I/O1}}, \dots, R_{\text{G-core}}, R_{\text{G-I/O1}}) \\ &= f(s; \mu) \end{aligned} \quad (2.2)$$

$$\mu = (C_{\text{core}}, \dots, R_{\text{G-I/O1}})^T, \mu \in \mathbb{R}^{n_\mu} \quad (2.3)$$

ただし,  $n_\mu$  は回路素子の次元であり,  $n_\mu \in \mathbb{N}$  である.  $Z(s)$  を 3 ポートの  $Z$  パラメータの要素で表すと以下ようになる .

$$Z_{mn}(s) = \frac{A_{mn}^{(0)} + \dots + A_{mn}^{(5)} \cdot s^5}{B_{mn}^{(1)} \cdot s + \dots + B_{mn}^{(4)} \cdot s^4} \quad (m, n = 1, 2, 3) \quad (2.4)$$

ここで係数について, 例えば  $A_{11}^{(0)} \sim A_{11}^{(5)}$ ,  $B_{11}^{(1)} \sim B_{11}^{(4)}$  は以下のように求まる .

$$\begin{cases} A_{11}^{(0)} = C_{\text{IBC1}} + C_{\text{I/O1}} \\ A_{11}^{(1)} = C_{\text{core}} (C_{\text{I/O1}} + C_{\text{IBC2}}) (R_{\text{G-core}} + R_{\text{core1}}) \\ \quad + C_{\text{IBC1}} (C_{\text{I/O1}} + C_{\text{IBC2}}) (R_{\text{G-I/O1}} + R_{\text{IBC1}} + R_{\text{core1}}) \\ \quad + C_{\text{I/O1}} C_{\text{IBC2}} (R_{\text{G-I/O1}} + R_{\text{IBC2}} + R_{\text{G-core}}) \\ \vdots \\ B_{11}^{(1)} = (C_{\text{core}} + C_{\text{IBC1}}) (C_{\text{I/O1}} + C_{\text{IBC2}}) \\ \vdots \end{cases}$$

これに，ある周波数  $\omega_i$  に関して  $s = j\omega_i$  を代入することで，周波数  $\omega_i$  における Z パラメータを得る．

$$Z_{mn}(j\omega_i) = \frac{A_{mn}^{(0)} + \cdots + A_{mn}^{(5)} \cdot (j\omega_i)^5}{B_{mn}^{(1)} \cdot (j\omega_i) + \cdots + B_{mn}^{(4)} \cdot (j\omega_i)^4} \quad (2.5)$$

#### 2.5.4 回路素子の値の最適化

2.5.3 で求めた Z パラメータを  $\zeta(\omega_i)$  と表し，最適化誤差を評価する関数 ( $F_{\text{val}}$ ) をインピーダンスの絶対値，位相両方を考慮して以下のように定義する．

$$F_{\text{val}} = \sum_i W(\omega_i) \{ \log(Z_{\text{mag}}(\omega_i)) - \log(\zeta_{\text{mag}}(\omega_i)) \}^2 + \sum_i W(\omega_i) \{ Z_{\text{pha}}(\omega_i) - \zeta_{\text{pha}}(\omega_i) \}^2 \quad (2.6)$$

なお， $W(\omega_i)$  は周波数  $\omega_i$  に対する重み付け関数であり，回路素子の値決定の際に周波数に応じて変化する結合の強度を反映するために設けたものである．

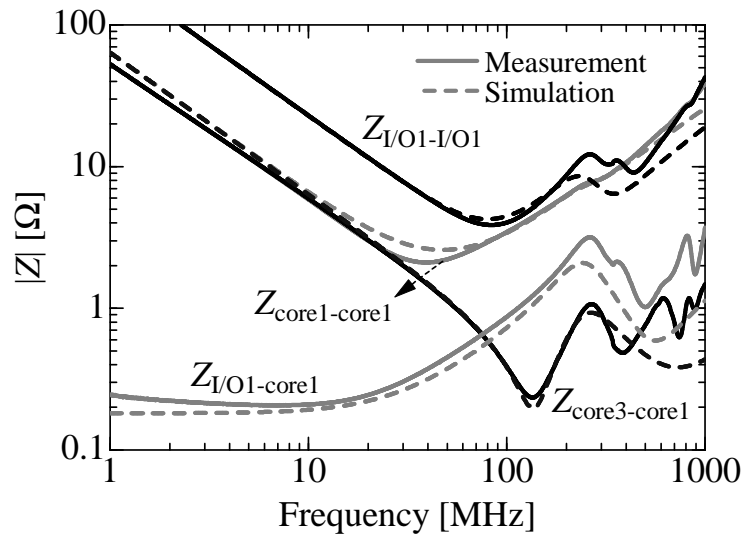
この誤差評価関数  $F_{\text{val}}$  が最小となるように，式 (2.3) の各回路素子の値の最適化を行う．最適化には MATLAB の Optimization Toolbox で提供されている lsqcurvefit() 関数を用い，各回路素子の値それぞれの上限值・下限値と初期値，重み付け関数を与え， $F_{\text{val}}$  が最小値となる各回路素子の値を求めた．最適化においてはまず，主に低い周波数領域のインピーダンス特性から各機能ブロックごとの最適化を行い，次に各機能ブロックを表す回路素子については得られた値を中心に上限・下限の範囲を小さく，内部結合部分は上限・下限の範囲を大きく設定して全体の最適化を行った．このように 2 段階で最適化を行うことで，初期値に依存して局所解に陥ることを防いでいる．なお，今回の最適化では対象とする周波数を 10MHz ~ 500MHz とし，周波数ごとの重み付け関数については Fig.2.7，Fig.2.8 に示した S パラメータの値が -26dB 以上の周波数に関しては 1.0，-26dB 以下の周波数については 0.5 と設定した．この一連の最適化を各回路素子の値の初期値を上限値・下限値の間でランダムに変更しながら 25 回繰り返し，25 回の中で  $F_{\text{val}}$  が最小となる回路素子の値を最終的な最適解とした．繰り返し回数を 25 回としたのはその繰り返しの中で  $F_{\text{val}}$  の最小値がほぼ同程度となる場合が 2 ~ 3 回あり，その時の各回路素子の値がほぼ同じ値であったためである．Table 2.2 に最適化により求められた各回路素子の値を示す．

**Table 2.2:** Derived impedance parameters of circuit elements.

Circuit Element	Value	Circuit Element	Value
$R_{\text{core1}}$	$2.48 \Omega$	$L_{\text{I/O1}}$	$3.05 \text{ nH}$
$R_{\text{core3}}$	$2.47 \Omega$	$L_{\text{G-core}}$	$0.209 \text{ nH}$
$R_{\text{I/O1}}$	$3.09 \Omega$	$L_{\text{G-I/O1}}$	$1.97 \text{ nH}$
$R_{\text{G-core}}$	$0.0958 \Omega$	$C_{\text{core}}$	$1.99 \text{ nF}$
$R_{\text{G-I/O1}}$	$0.895 \Omega$	$C_{\text{I/O1}}$	$0.698 \text{ nF}$
$R_{\text{IBC1}}$	$0.0347 \Omega$	$C_{\text{IBC1}}$	$0.506 \text{ nF}$
$R_{\text{IBC2}}$	$0.001 \Omega$	$C_{\text{IBC2}}$	$0.001 \text{ nF}$
$L_{\text{core1}}$	$4.06 \text{ nH}$	$M_{\text{VCC}}$	$0.145 \text{ nH}$
$L_{\text{core3}}$	$3.91 \text{ nH}$	$M_{\text{GND}}$	$0.585 \text{ nH}$

### 2.5.5 モデリング精度の検証

Table 2.2 に示す値を用いてインピーダンスを求めた結果を Fig.2.14 , 2.15 に示す．絶対値・位相ともに 300MHz 程度の周波数範囲まで実測値をほぼ再現できており，250MHz 付近の第一の反共振も表すことができています．

**Figure 2.14:** Comparison of magnitude.

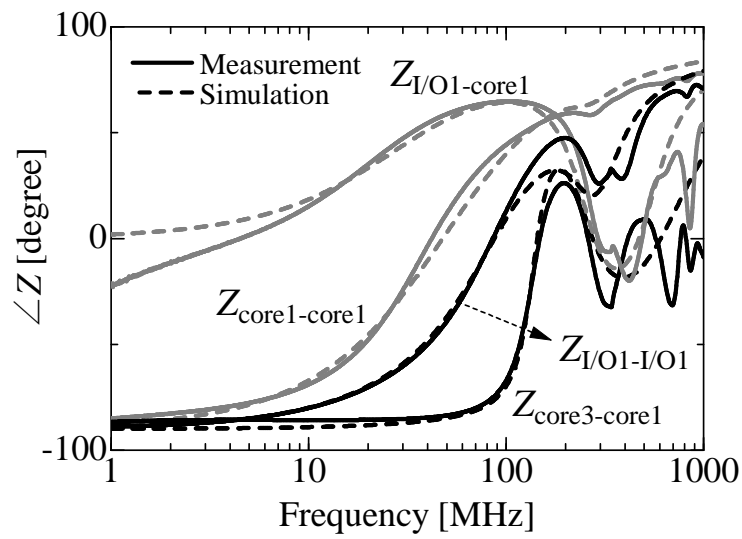


Figure 2.15: Comparison of phase.

## 2.6 I/O1 の外部条件の違いによる Core 用電源の伝達特性変化の確認

前に述べたように，Fig.2.2 に示す通り I/O1 の電源にパスコンを付加することで core1-core3 間の伝達特性  $Z_{\text{core3-core1}}$  が変化することが実測で確認されている．今回，外部条件を開放（パスコンなし）として求めた 3 ポート LECCS-core モデルを用いてこの core1-core3 間の伝達特性変化が再現可能かどうかシミュレーションで確認を行った．

シミュレーションに用いた回路を Fig.2.16 に示す．I/O1 の終端条件は実測にあわせてパスコンによる高周波短絡とした．パスコンの等価回路の各回路素子の値は  $C_{\text{pass}}=0.01\mu\text{F}$ ， $ESL=1\text{nH}$ ， $ESR=0.01\Omega$  であり，その他の回路素子の値は Table 2.2 のものを用いた．また core1 に付加した電流源は 1A で 10MHz ~ 1GHz までのサイン波とし，その時の core3 の電位を測定することで  $Z_{\text{core3-core1}}$  を求めた．

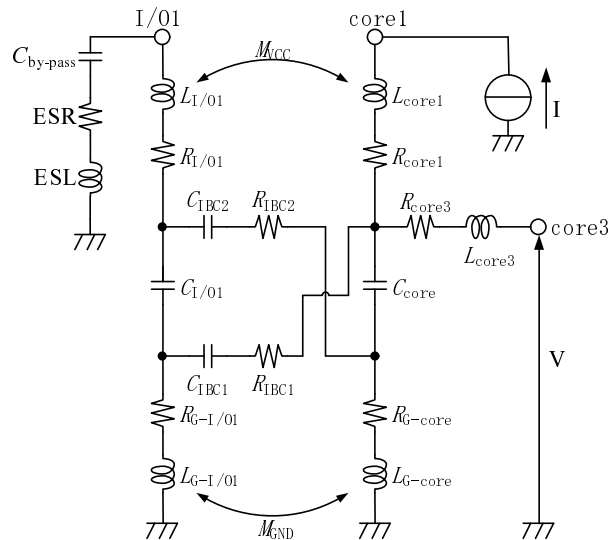


Figure 2.16: Simulation model.

Fig.2.17 に I/O1 の終端条件の違いによる  $Z_{\text{core3-core1}}$  の変化を示す．実線がシミュレーション結果であり，破線が実測結果である．これを見ると，パスコンなし・ありで 250MHz 付近の反共振が 300MHz 付近に移動している実測結果をシミュレーションでも再現できている．反共振の周波数が高域にずれたのは I/O1 の終端にパスコンを付加することで高周波短絡となり，Core 用電源側からみて，I/O1 用電源側のインダクタンス  $L_{\text{I/O1}}$  とグラウンドのインダクタンス  $L_{\text{G-I/O1}}$  が並列になるため実効インダクタンスが小さくなったためと考えられる．このように I/O1 を含めた 3 ポート LECCS-core モデルによって I/O1 の終端条件を含めたシミュレーションが可能となった．

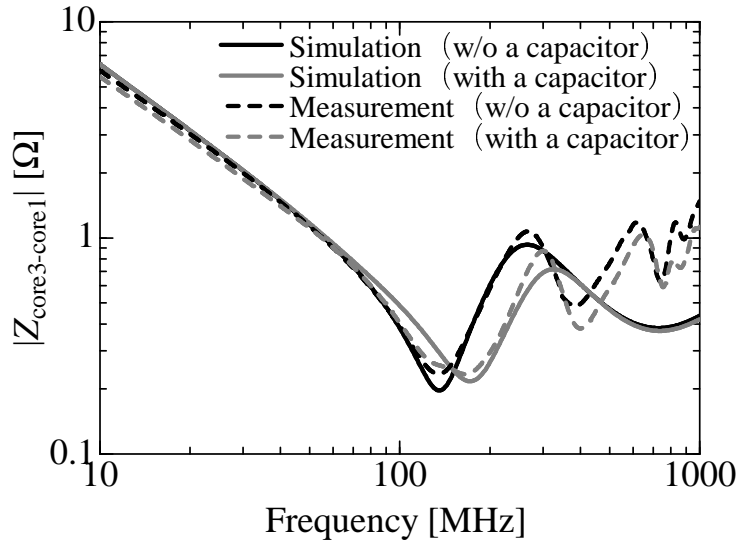


Figure 2.17: Comparison of magnitude with and without a bypass capacitor.

## 2.7 内部結合を含む機能ブロック単位の LECCS-core モデル構築のまとめ

本章では、8 ビットマイコンを対象として、直流的には絶縁されている Core 部と I/O 部の電源端子間に高周波領域では寄生インピーダンスによる結合が存在することを示し、それを考慮した 3 ポートの LECCS-core モデルを提案した。モデルの各回路素子の値の最適化には新たに Symbolic Analysis、および、インピーダンスの絶対値・位相両方を考慮した最適化手法を適用し、3 ポートの LECCS-core モデルが構築できることを示した。今回は 3 ポートのモデル化を行ったが、本章で示したモデル構築方法は 4 ポート以上のさらに多ポートのモデル化にも適用可能である。

また、これまでの LECCS-core モデルは直流結線情報をもとに機能ブロックごとに個別に構築されており、高周波でのブロック間結合を無視していたため、I/O1 電源にパスコンを追加した際に core1-core3 部の伝達特性  $Z_{\text{core3-core1}}$  の反共振周波数が 50MHz 程度高域にシフトする現象をシミュレーションすることは不可能であった。これに対して、本章では、ブロック間結合として LSI 内部のメタル配線やゲートに起因すると推定される結合を抵抗素子と容量素子で表現し、パッケージリード部分での誘導性結合を線形等価回路に加えることにより、この反共振周波数の高域へのシフトをシミュレーションで再現できることを確認した。

なお、本章でモデル化対象とした H8S/2623 においては、Fig.2.16 に示すように Core 用電源と I/O 用グラウンド間、Core 用グラウンドと I/O 用電源間にブロック間結合が発生していると仮定してモデルに加えている。本章でモデルに加えた内部結合は LSI 内部のメタル配線やゲートに起因すると推定される結合であり、これは LSI 内部の配線やゲートの配置に大きく依存すると推測される。このため、モデル化対象の LSI に応じて、Core 用電源と I/O 用電源間、Core 用グラウンドと I/O 用グラウンド間に内部結合を加えるといった

ように内部結合の設定箇所を変更する必要がある，すべてのLSIに適用可能な線形等価回路構造を定義することはできていない．しかし，LSI内部の情報がない場合であっても，いくつかの回路構造を仮定し，本章で提案した手法で回路素子の最適化を行うことで対象のLSIが変わった場合であってもLECCS-coreモデルの線形等価回路構築は可能である．





## 第3章 伝達インピーダンス特性を考慮したLECCS-coreモデル

### 3.1 まえがき

本章では、電源端子は機能ブロックごとに独立しているが、グラウンド端子は各機能ブロックで共通である8ビットマイクロコントローラ（以下、マイコン）を対象として、機能ブロックを構成単位とする線形等価回路構造を提案している。このマイコンでは複数の電源系を備えていること、グラウンド端子が共通であることから、各電源系に対応して内部で分離されているグラウンド間がシリコン基板（substrate）を介して結合されていると推定される。そこで、この結合を抵抗素子を用いた等価回路で表現し、線形等価回路のグラウンド側に挿入することで、各電源系に対応するグラウンド間を分離した構造の線形等価回路の構造を提案している。また、この線形等価回路に、シリコン基板を経由して結合していると推定されるQFP（Quad Flat Package）のダイサポートや、プリント回路基板のグラウンドとの間の寄生容量を加えることで、電源端子間の伝達インピーダンス特性の実測値を高精度に再現する線形等価回路が構築できることを実証している。

本章においても、第2章で提案した記号解析（Symbolic Analysis）と駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相を考慮した最小二乗パラメータ最適化により回路パラメータを決定するモデル構築手法を適用している。さらに、同じ構造（複数の電源系と共通グラウンド）の別品種の8ビットマイコンに対して同様の線形等価回路構造・パラメータ決定方法を適用し、マイコン内部のシリコン基板に起因すると推定される結合を含めたモデル構築が可能であることを確認している。これにより、本章で提案している構造・手法が同種のLSIに対して汎用的に適用可能であることを実証している。

### 3.2 グラウンド端子が共通なLSIのLECCS-core従来モデル

第2章「機能ブロック間結合を考慮したLECCS-coreモデル」では、LECCS-coreモデルに関して、直流的には絶縁されており、異なる電源・グラウンド端子を持つCore部とI/O部間であっても、高周波領域で結合があることを示し、その結合を考慮した線形等価回路構造を提案した。これにより、I/O用電源端子へのバイパスコンデンサの接続の有無がCore部の電源インピーダンスに影響を与えることをシミュレーション可能とした。また、Symbolic Analysisと最小二乗パラメータ最適化を用い、インピーダンスの絶対値・位相の両方を考慮して等価回路を構築する手法を提案し、複数の電源・グラウンド端子ペア

を持つ LSI であっても高精度な LECCS-core モデルの構築が可能であることを示した。

一方、現在機器で使用されているマイコンの中には H8/3694F や MN101CF91D ( Fig.3.1, Fig.3.2 ) といったマイクロコントローラのように複数の電源ピンを持っているが、LSI の内部でグラウンドが相互に接続されており、グラウンド端子は共通となっている LSI も多数存在する。Fig.3.1, 3.2 に示した LSI は内部にアナログ部、コア部、I/O 部を備え、各ブロックの電源端子がそれぞれ  $AV_{CC}(V_{ref+})$ ,  $V_{CL}(V_{DD18})$ ,  $V_{CC}(V_{DD33})$  となっているのに対し、グラウンド端子は  $V_{SS}$  1 本だけである。また、どちらの LSI も内部に降圧回路 ( regulator ) を備え、3.3V 電源 ( $V_{CL}$ ) や 1.8V 電源 ( $V_{DD18}$ ) は 5V 電源  $V_{CC}$  あるいは 3.3V 電源  $V_{DD33}$  から LSI 内部で生成される。

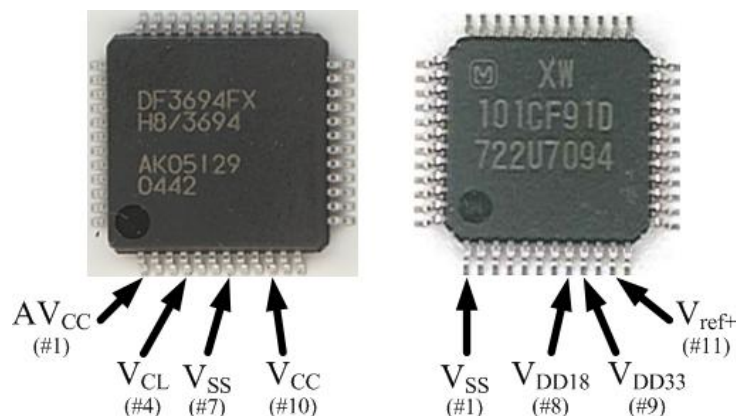


Figure 3.1: H8/3694F (left) and MN101CF91D (right).

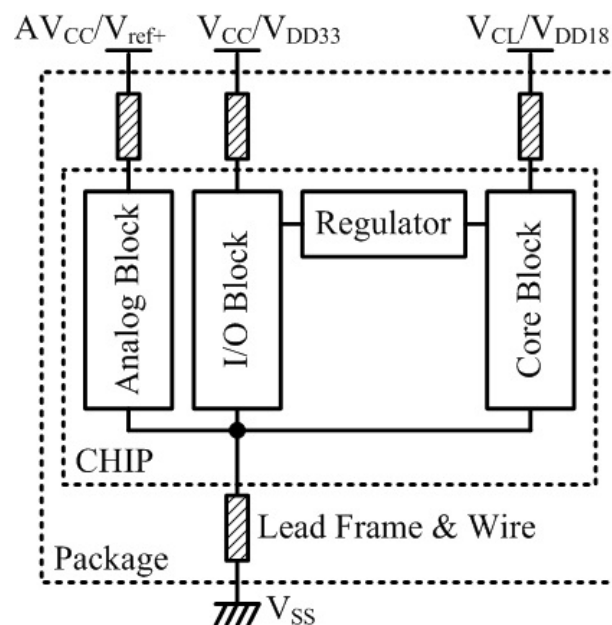


Figure 3.2: Block diagram of H8/3694F and MN101CF91D.

このような LSI の線形等価回路構築手法が文献 [20] で提案されている．文献 [20] では H8/3694F を対象として，以下の手順でモデル化を行っている．

- (1)  $AV_{CC}-V_{SS}$  間， $V_{CC}-V_{SS}$  間， $V_{CL}-V_{SS}$  間をポートとし，3 ポート S パラメータを測定する．
- (2) 測定された S パラメータを Z パラメータに変換する．
- (3) 3 ポートの Z パラメータから  $V_{CL}$  に流れる電流を 0 として 2 ポートの Z パラメータを算出する．
- (4) 手順 (3) で算出した 2 ポートの Z パラメータから Fig.3.3(a) に示す T 型等価回路の  $Z_1$ ， $Z_2$ ， $Z_3$  を導出する．
- (5) 手順 (4) で求めた  $Z_1$ ， $Z_2$  について等価回路を導出する．
- (6) 手順 (3) と同様， $AV_{CC}$  に流れる電流を 0 として 2 ポートの Z パラメータを算出する．
- (7) 手順 (6) で算出した 2 ポートの Z パラメータから Fig.3.3(b) に示す  $Z_4$ ， $Z_5$ ， $Z_6$  の等価回路を導出する．
- (8)  $Z_4$ ， $Z_6$  からそれぞれ  $Z_a$  と  $L_{vcc}$ ， $Z_b$  と  $L_{vcl}$  を求め， $Z_5$  と (5) で決定した  $L_{vss}$  から  $Z_c$  を決定する．
- (9) 最後に Fig.3.3(b) の  $Z_a$ ， $Z_b$ ， $Z_c$  を  $\pi$  型に変換し，最終的に Fig.3.4 に示す線形等価回路を得る．

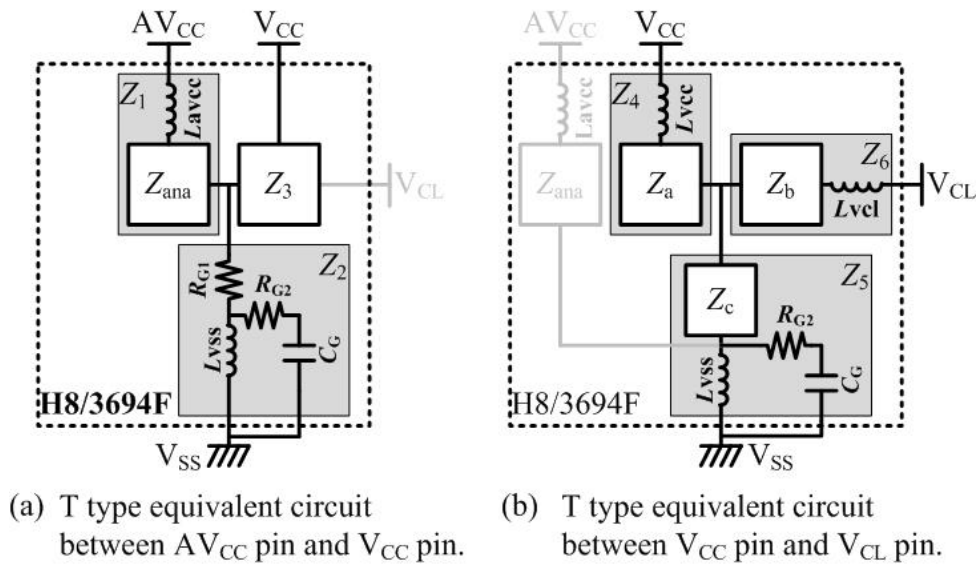


Figure 3.3: Conventional equivalent circuit extraction of H8/3694F.

文献 [20] ではこのモデルを用いて LECCS-core モデルの等価内部電流源 (Fig.3.5) を導出し，バイパスコンデンサによるデカップリング効果の検証を行い，電源系高周波電流を 300MHz 程度まで精度良くシミュレーション可能であることが示されている．しかし，Fig.3.5 では本来わずかな高周波ノイズ電流しか流れないはずのアナログ部の内部電流源が 100MHz 以上の周波数帯において Core 部や I/O 部の内部電流源と同等レベルの値となっ

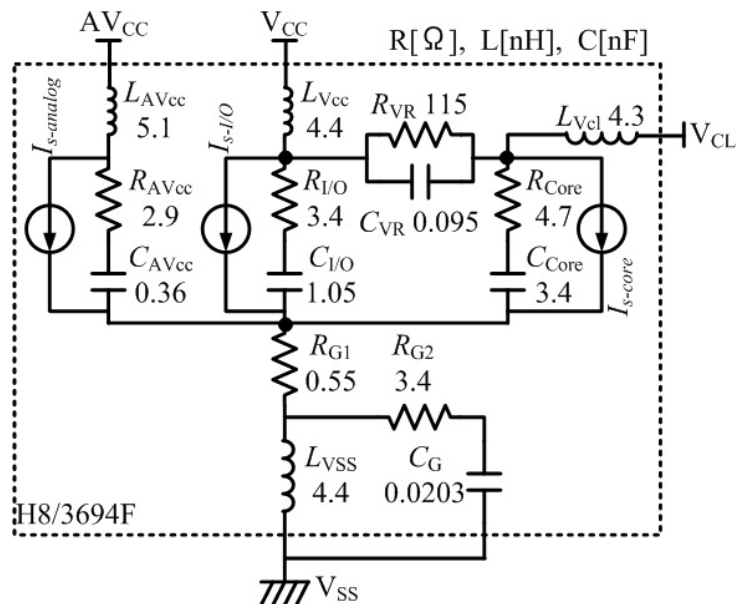


Figure 3.4: Conventional model of H8/3694F.

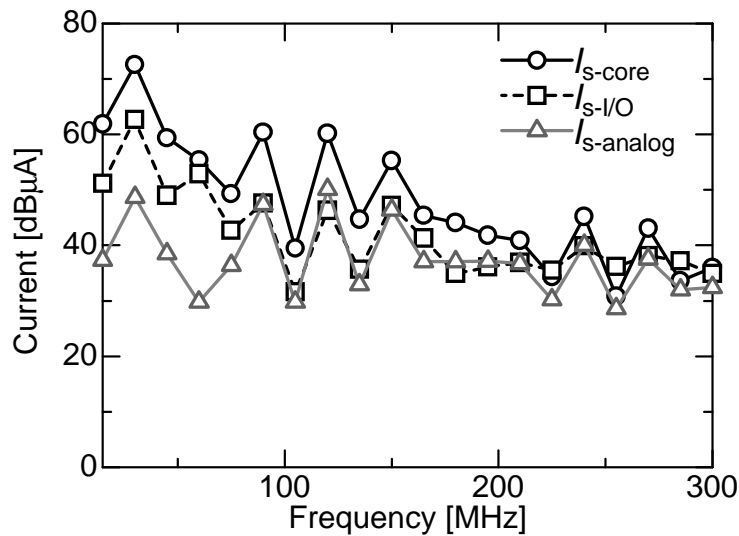


Figure 3.5: Magnitude of equivalent internal current sources in the conventional model.

ている．これは次の2つの理由により，コア部やI/O部から回り込んだ電流がアナログ部の内部電流源として見積もられているためではないかと考えられる．

- (1) パッケージ部 ( $L_{AVcc}$ ,  $L_{Vcc}$ ,  $L_{Vcl}$ ) を取り除くため，T型等価回路を用いているが，単純なT型では伝達インピーダンスが正しく表現できない
- (2) 各電源端子は近くにあり，寄生インダクタンスによる結合があると考えられるが，それらが考慮されていない

そこで本章では，H8/3694Fのモデル化において，異なるブロック間の伝達インピーダ

ンス特性を考慮し、外部のグラウンド端子が共通であっても、LSI 内部のグラウンド配線の抵抗成分をモデル構造に含める必要があることを示すとともに、第 2 章で提案した Symbolic Analysis と最小二乗パラメータ最適化を用いたモデル構築手法を適用し、LSI 内部のグラウンドを抵抗で分離した新たな構造の線形等価回路モデルを構築した。また、構築したモデルを用いて等価内部電流源の推定に関する検討を行った。さらに、寄生容量 (Fig.3.4 の  $C_G$ ) が変化した場合であっても、提案するモデル構造と Symbolic Analysis と最小二乗パラメータ最適化を用いたモデル構築手法が汎用的に適用可能であることを示している。

### 3.3 従来の線形等価回路の課題

#### 3.3.1 伝達インピーダンス

Fig.3.6 に従来の線形等価回路 (Fig.3.4) を用いた場合の電源の  $Z$  パラメータのシミュレーション結果と 3 ポートの  $S$  パラメータの実測値から算出した  $Z$  パラメータの比較を示す。Fig.3.6 では電源端子の駆動点インピーダンス ( $Z$  パラメータの対角項) の絶対値のみを示しており、 $Z_{VCC-VCC}$ 、 $Z_{VCL-VCL}$ 、 $Z_{AVCC-AVCC}$  ともによく一致している。しかし、Fig.3.7 に示す伝達インピーダンスをみると 500MHz 以下の周波数において  $Z_{VCL-VCC}$ 、 $Z_{AVCC-VCC}$  ともに大きくずれており、従来の等価回路では伝達インピーダンスが正しく表現できていない。そこで本章では伝達インピーダンスも正しく表現可能なモデル構造の検討を行い、第 2 章で提案した Symbolic Analysis と最小二乗パラメータ最適化を用いた等価回路導出手法を適用し、伝達インピーダンスの絶対値と位相の両方を考慮したモデル化を行った。また、新たに構築した線形等価回路を用いて等価内部電流源の導出を行った。

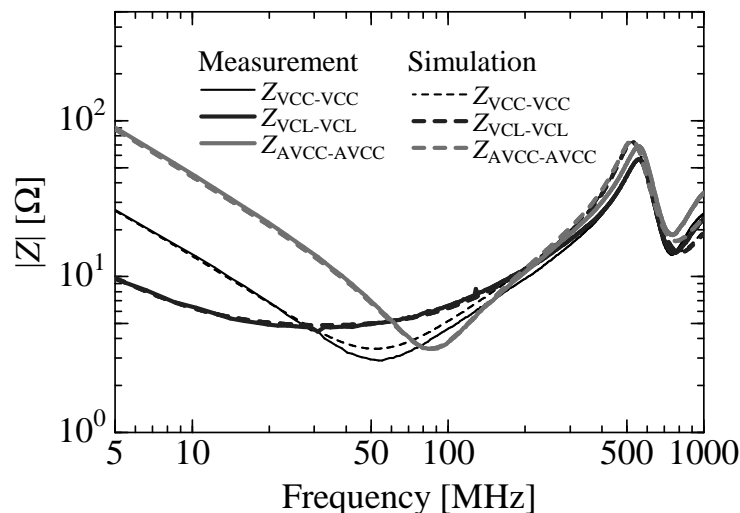


Figure 3.6: Driving-point impedances of conventional model.



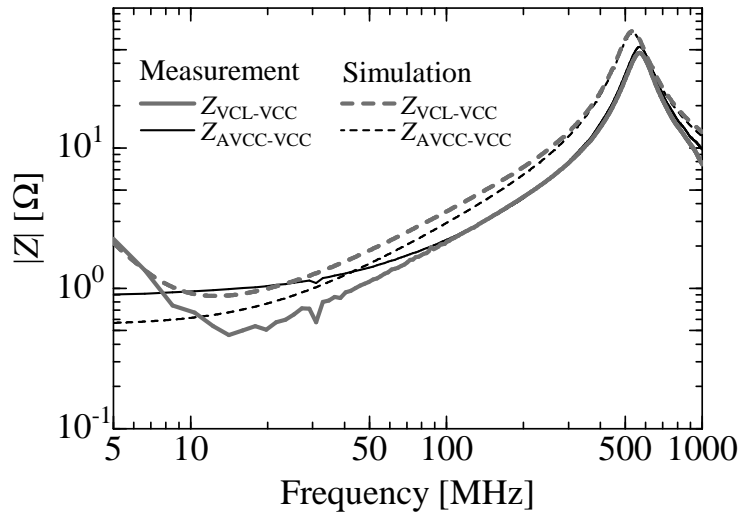


Figure 3.7: Transfer impedances of conventional model.

### 3.3.2 グラウンドへの電流パス

Fig.3.4 では各電源端子からプリント回路基板上のグラウンド面への電流パスとして、 $L_{VSS}$  以外に  $R_{G2}$ ,  $C_G$  を経由した高周波電流パスが存在する．これは Fig.3.8 に示すように、LSI 内部のシリコン基板 (substrate) とパッケージ内のダイサポート (die-support)、および、ダイサポートとプリント回路基板上のグラウンド面 (PCB GND) 間に発生する寄生容量 ( $C_{CD}$  と  $C_{DP}$ ) によるものと考えられる．QFP タイプの LSI に関して、このような寄生容量が発生することは文献 [40], [41] で報告されており、DUT (LSI) が異なるものの、それぞれ  $C_{CD}=470\text{pF}$ ,  $C_{DP}=8\text{pF}$ \*程度と見積もられている．今回対象としている H8/3694F ではそれらの LSI と同様な QFP パッケージが用いられており、寄生容量も同程度の値であり、直列接続となることを考慮すると、実効的な容量 ( $C_G$ ) は値の小さい  $C_{DP}$  とほぼ等しいとみなすことができる．

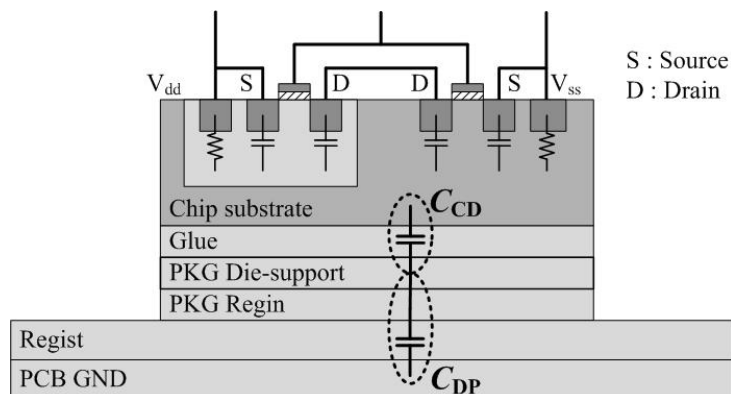


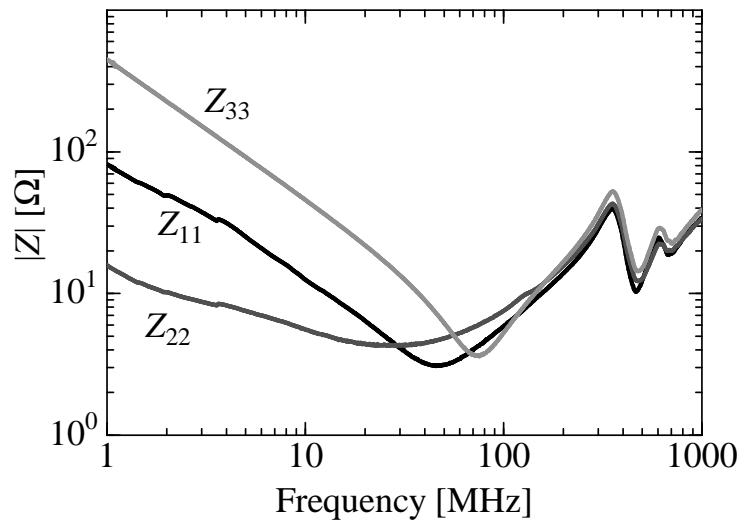
Figure 3.8: Cross section of LSI, package and printed circuit board.

\*文献 [42] では  $1\text{pF}$  と見積もられている．

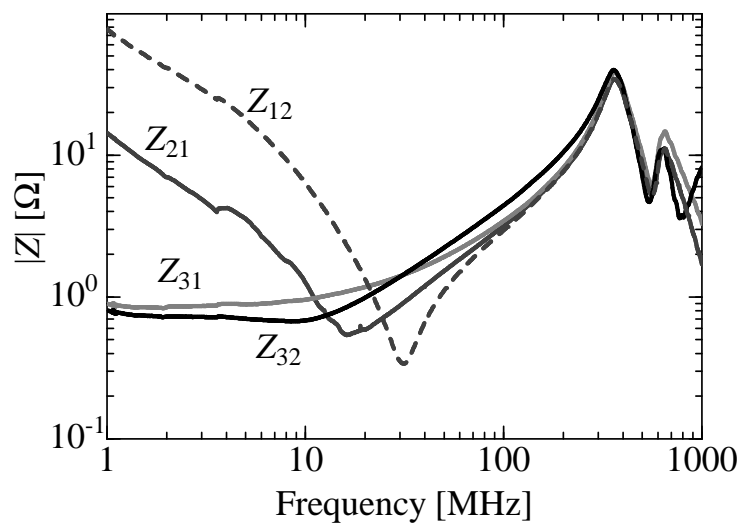
本章ではこのような構造の2種類のLSIに対してSymbolic Analysisと最小二乗パラメータ最適化を用いたモデル構築手法を適用するとともに、プリント回路基板上のグラウンド面を別な層に設けることで $C_{DP}$ を変化させてモデル化を行い、等価回路に反映されるかどうかを検証することで、本モデル構造とモデル化手法の汎用性を確認している。

### 3.4 伝達インピーダンスを考慮した線形等価回路構築

線形等価回路の構築に際して、まずはSパラメータの測定を行った。 $V_{CC}$ - $V_{SS}$ 間をポート1、 $V_{CL}$ - $V_{SS}$ 間をポート2、 $A V_{CC}$ - $V_{SS}$ 間をポート3として3ポートで測定を行った。Fig.3.9、Fig.3.10に測定したSパラメータからZパラメータに変換した結果を示す。ただし、 $Z_{13}$ 、 $Z_{23}$ については相反性により、 $Z_{31}$ 、 $Z_{32}$ とほぼ等しいため、省略している。 $Z_{12}$ と $Z_{21}$ で非相反性が見られるのは、LSI内部に降圧回路があるためである。5V系の $V_{CC}$ （ポート1）側から3.3V系の $V_{CL}$ （ポート2）側に電源を供給しており、逆電圧がかからないようにするためと考えられる。

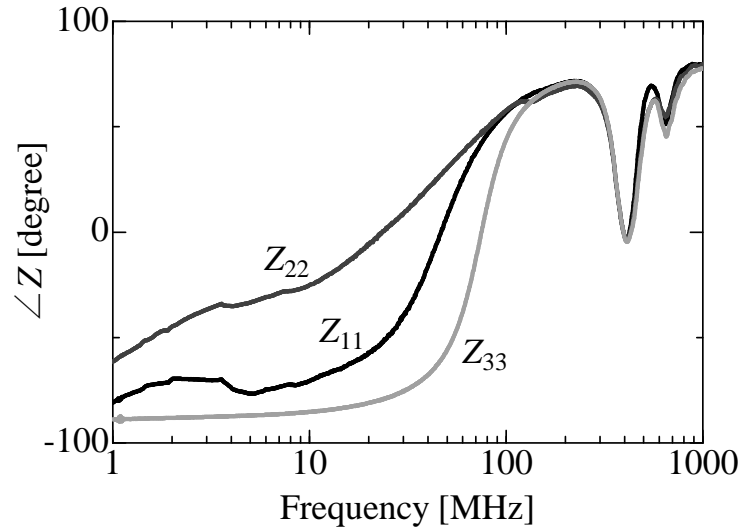


(a) Driving-point impedances.

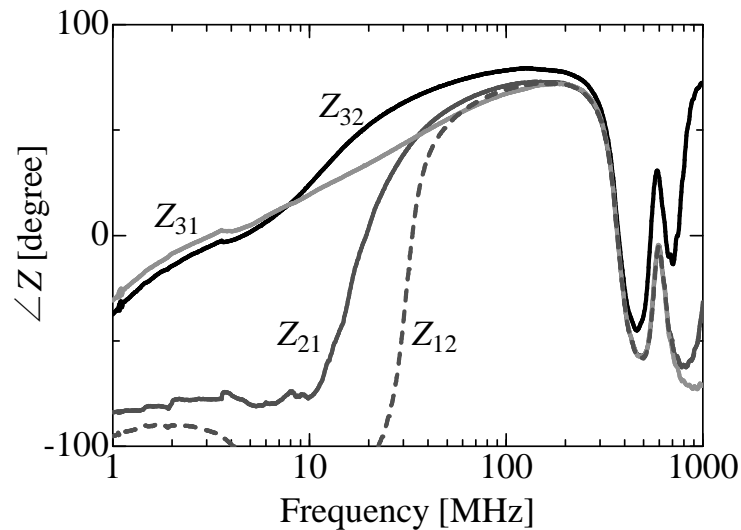


(b) Transfer impedances.

**Figure 3.9:** Magnitude of Z parameters.



(a) Driving-point impedances.



(b) Transfer impedances.

**Figure 3.10:** Phase of Z parameters.

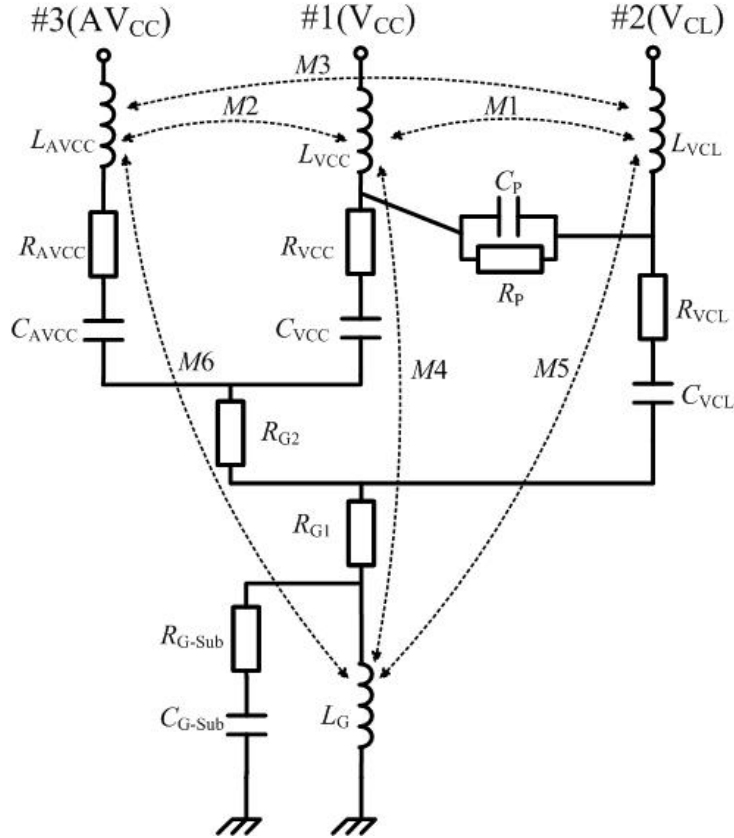
Fig.3.9 , Fig.3.10 の Z パラメータから線形等価回路を抽出する際には第2章で提案した Symbolic Analysis と最小二乗パラメータ最適化を用いる方法を適用した．具体的な手順は次の通りである．

**Step1:** Z パラメータを考慮し，等価回路構造を設定する

**Step2:** Symbolic Analysis により Z パラメータの各要素を等価回路の各回路素子の値を変数として，複素周波数  $s$  の式で抽出する

**Step3:** 等価回路の各回路素子の値を最適化し，実測で得られた Z パラメータとの差を最小化する

本手法では Step1 で設定する等価回路構造が結果に大きく影響する．今回は文献 [20] の等価回路を参考とし，Fig.3.11 のように設定した．この構造では Fig.3.9 の  $Z_{31}$ ， $Z_{32}$  の 100MHz 以下の抵抗性の特性に注目し， $AV_{CC}$  と  $V_{CC}$  を抵抗  $R_{G2}$  で  $V_{CL}$  から分離した．伝達インピーダンスは各ポートの電源からグラウンドを見たときに共通する部分のインピーダンスを表すため， $R_{G2}$  でのグラウンド分離により Fig.3.9 の  $Z_{31}$  と  $Z_{32}$  の低周波での抵抗性の結合を表現することが可能となる．



**Figure 3.11:** Configuration of equivalent circuit model taking the transfer impedances into consideration.

次に，Fig.3.11 の等価回路構造より Symbolic Analysis を用いて等価回路のインピーダンスを各回路素子の値を変数とした式で抽出し，等価回路のインピーダンス計算値と Fig.3.9，3.10 の  $Z$  パラメータとの差が最小となるよう各回路素子の値を決定した．この最適化では誤差の評価関数 ( $F_{val}$ ) を (3.1) 式のように定義し， $F_{val}$  が最小となるように等価回路の各素子の値を決定した．

$$\begin{aligned}
 F_{val} = & \sum_i W(\omega_i) [\log \{Z_{mag}(\omega_i)\} - \log \{\zeta_{mag}(\omega_i)\}]^2 \\
 & + \sum_i W(\omega_i) \{Z_{pha}(\omega_i) - \zeta_{pha}(\omega_i)\}^2
 \end{aligned} \tag{3.1}$$

なお,  $Z_{\text{mag}}(\omega_i)$ ,  $Z_{\text{pha}}(\omega_i)$  は等価回路から導出された Z パラメータの振幅と位相,  $\zeta_{\text{mag}}(\omega_i)$ ,  $\zeta_{\text{pha}}(\omega_i)$  は測定から得られた Z パラメータの振幅と位相をそれぞれ表し,  $W(\omega_i)$  は周波数  $\omega_i$  に対する重み付け関数である.

また, 今回の最適化では Z パラメータの各要素のうち,  $Z_{11}$ ,  $Z_{21}$ ,  $Z_{22}$ ,  $Z_{31}$ ,  $Z_{32}$ ,  $Z_{33}$  の 6 要素を用いた. これは, 線形受動回路モデルでは  $Z_{12}$  と  $Z_{21}$ ,  $Z_{13}$  と  $Z_{31}$ ,  $Z_{23}$  と  $Z_{32}$  がそれぞれ相反性を持つためである. 実際には前述したように  $Z_{12}$  と  $Z_{21}$  で非相反性が見られた (Fig.3.9, 3.10). このため, モデル化対象周波数範囲は 1MHz ~ 1GHz であるが,  $Z_{21}$  の重み付け関数  $W_{21}(\omega_i)$  を 1MHz ~ 20MHz の周波数範囲で 0 とし,  $Z_{21}$  の非相反部分を無視して最適化を行った. Table 3.1 に最適化によって得られた各素子の値を示す. また, Fig.3.12, 3.13 に S パラメータの実測値から算出した Z パラメータとシミュレーションで求めた Z パラメータの比較結果を示す. 振幅・位相ともに 500MHz 程度までよく一

**Table 3.1:** Parameters of equivalent circuit model.

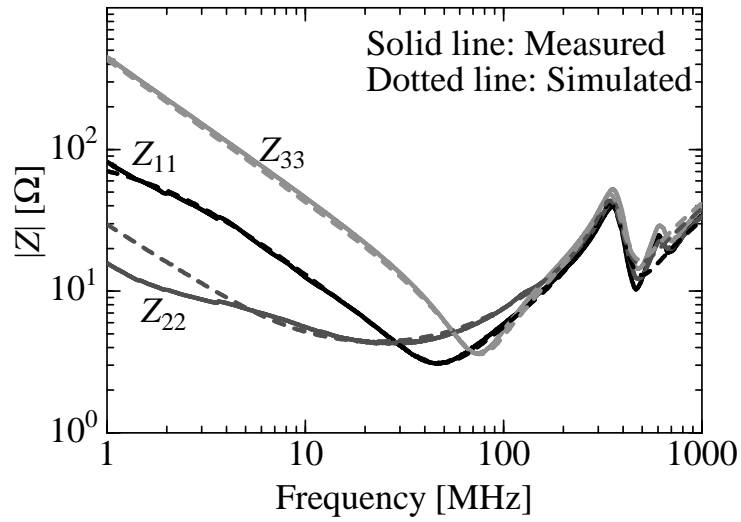
Element	Value	Element	Value	Element	Value
$L_{\text{AVCC}}$	7.22	$L_{\text{VCL}}$	6.72	$M1$	0.108
$R_{\text{AVCC}}$	2.55	$R_{\text{VCL}}$	4.02	$M2$	0.397
$C_{\text{AVCC}}$	0.369	$C_{\text{VCL}}$	4.56	$M3$	1.84
$L_{\text{VCC}}$	5.6	$R_{\text{G1}}$	0.59	$M4$	-0.425
$R_{\text{VCC}}$	2.19	$R_{\text{G2}}$	0.444	$M5$	-0.433
$C_{\text{VCC}}$	1.13	$L_{\text{G}}$	4.64	$M6$	-0.139
$C_{\text{P}}$	0.0319	$R_{\text{G-Sub}}$	2.66		
$R_{\text{P}}$	89.4	$C_{\text{G-Sub}}$	0.0441		

$R[\Omega]$ ,  $L[\text{nH}]$ ,  $C[\text{nF}]$

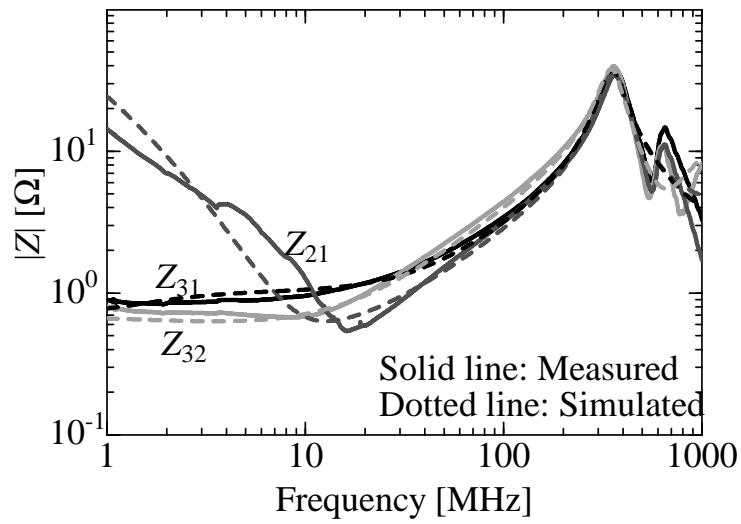
致しており, 350MHz 付近の第一の反共振もほぼ再現できている. この反共振の周波数は Fig.3.11 のパッケージのグラウンド端子を表す  $L_{\text{G}}$  (4.64nH) とチップとプリント回路基板上のグラウンド間の寄生容量  $C_{\text{G-sub}}$  (44.1pF)<sup>†</sup>により計算される共振周波数 (352MHz) にほぼ等しく, これらの共振特性を再現できている. また, 伝達インピーダンス  $Z_{21}$  については重みを 0 とした 1 ~ 20MHz を除き, 500MHz 程度まで再現できている.

<sup>†</sup>文献 [43] では, この容量にはチップとプリント回路基板上のグラウンド間の寄生容量に加えて, I/O 端子を介した寄生容量が含まれていることが示されている.



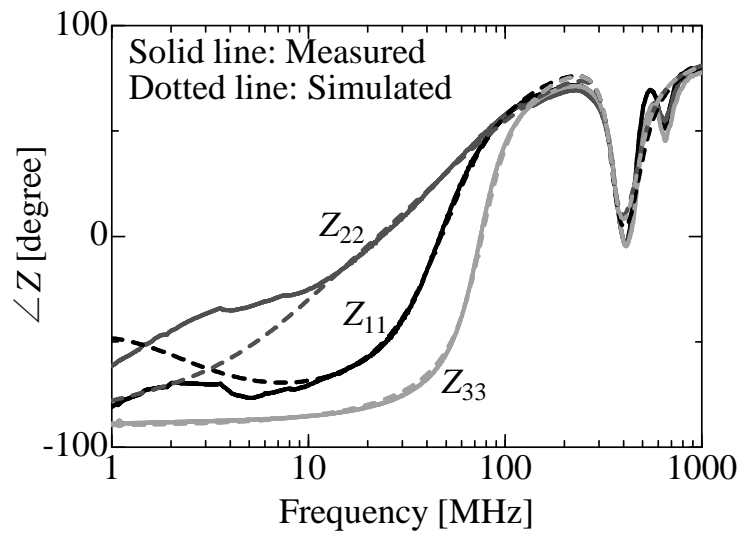


(a) Driving-point impedances.

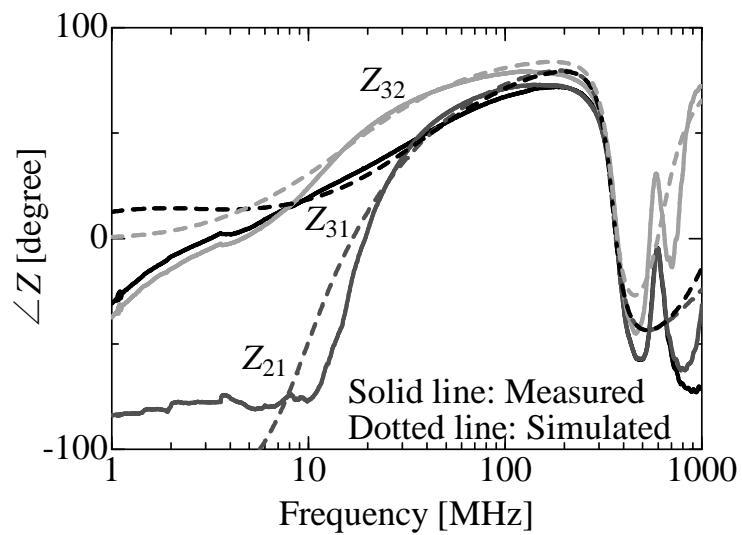


(b) Transfer impedances.

**Figure 3.12:** Comparison of magnitude between measured and simulated impedances.



(a) Driving-point impedances.



(b) Transfer impedances.

**Figure 3.13:** Comparison of phase between measured and simulated impedances.

### 3.5 等価内部電流源の評価

Fig.3.14 に H8/3694F の LECCS-core モデルを示す．Fig.3.11 に示した線形等価回路の各素子の値に Table 3.1 の値を代入し，Core 部，アナログ部，I/O 部の等価内部電流源を付加した構造としている．

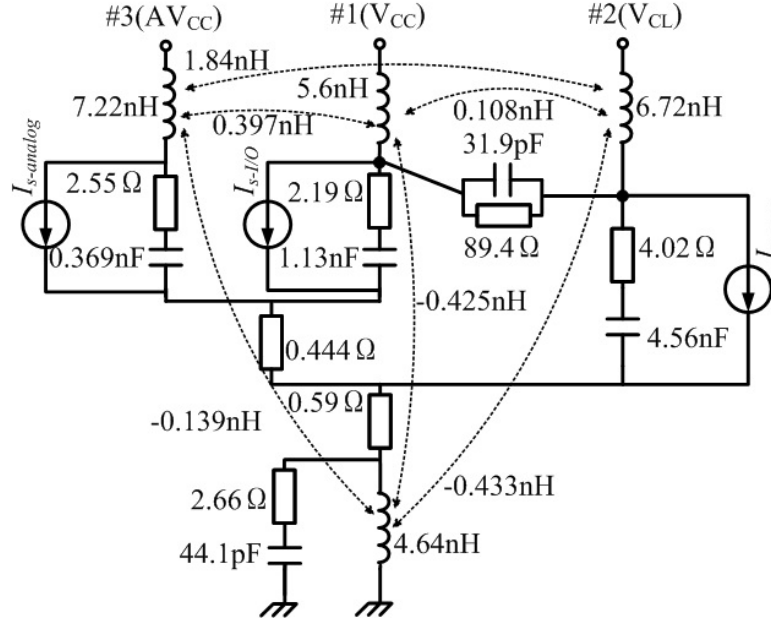


Figure 3.14: LECCS-core model of H8/3694F.

本モデルを文献 [20] に記載された電流測定基板のモデル (Fig.3.15) に組み込み，プリント回路基板上で測定された各電源端子電流から等価内部電流源の抽出を行った．等価内部電流源の抽出には，外部で観測される各電源端子を流れる電流 ( $i_v$ ) と等価内部電流源 ( $i_s$ ) との関係を表す (3.2) 式を用いた．

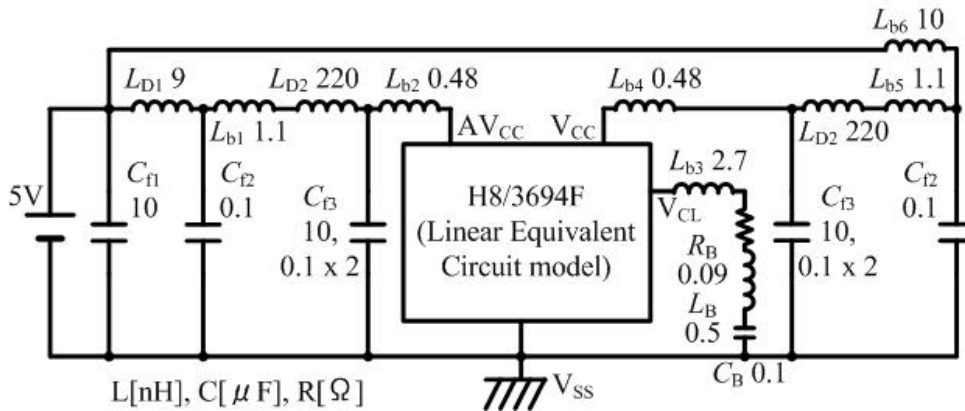


Figure 3.15: Printed circuit board model for extracting equivalent internal current sources.

$$\begin{bmatrix} \dot{I}_{v-vcl} \\ \dot{I}_{v-vcc} \\ \dot{I}_{v-avcc} \end{bmatrix} = \begin{bmatrix} K_{11} & K_{12} & K_{13} \\ K_{21} & K_{22} & K_{23} \\ K_{31} & K_{32} & K_{33} \end{bmatrix} \begin{bmatrix} \dot{I}_{s-core} \\ \dot{I}_{s-I/O} \\ \dot{I}_{s-analog} \end{bmatrix} \quad (3.2)$$

ここで、 $\dot{I}_{v-vcl}$ 、 $\dot{I}_{v-vcc}$ 、 $\dot{I}_{v-avcc}$  はそれぞれ各電源端子 ( $V_{vcl}$ 、 $V_{cc}$ 、 $AV_{cc}$ ) で測定された電流を表し、 $\dot{I}_{s-core}$ 、 $\dot{I}_{s-I/O}$ 、 $\dot{I}_{s-analog}$  は Fig. 3.14 に示している各機能ブロックの等価内部電流源を表す。 $[K]$  は周波数領域での電流変換係数であり、DUT 内部のインピーダンスとプリント回路基板上のインピーダンスによって決まる値である。本論文では Fig.3.14、3.15 の等価回路を用いて回路シミュレータ (HSPICE) を用いて導出した。なお、端子ごとの電流の測定値は文献 [20] で用いられている動作周波数 15MHz での実測値をそのまま用いた。Fig.3.16 に導出した等価内部電流源のうち、 $I_{s-core}$  と  $I_{s-analog}$  を示す。なお、比較のため、文献 [20] で得られた結果を点線で示している。

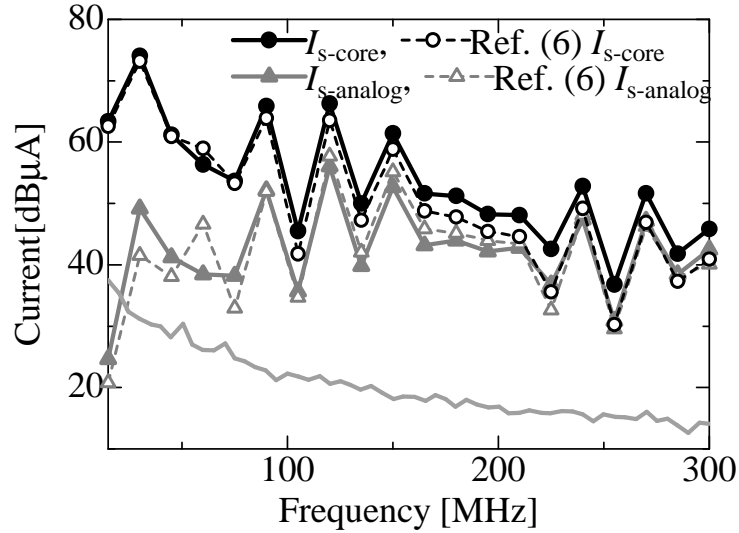


Figure 3.16: Equivalent internal current sources.

この結果をみると、特に 100 ~ 200MHz の周波数においてアナログ部の電流が 3dB 程度低減しており、コア部の電流が同程度増加している。Fig.3.7 の従来モデルでの伝達インピーダンスをみると、 $Z_{VCL-VCC}$ 、 $Z_{AVCC-VCC}$  に関して、実測では両者が 100MHz 以上の周波数帯でほぼ同じ値になっているのに対し、シミュレーションではほぼ 200MHz 以上で同じ値となっている。一方、本論文のモデルの伝達インピーダンス (Fig.3.12、3.13) は実測と同様、100MHz 以上の周波数帯で両者 ( $Z_{21}$  と  $Z_{31}$  であり、 $Z_{VCL-VCC}$ 、 $Z_{AVCC-VCC}$  に相当) がほぼ同じ値となっており、100 ~ 200MHz の周波数帯で伝達インピーダンスが改善されたといえる。これにより、等価内部電流源が 100 ~ 200MHz の周波数帯で改善されたと考えられる。この結果からグラウンドを分離し、寄生インダクタンスを考慮したモデルを用いることにより、アナログ部の内部電流源として見積もられていたコア部や I/O 部の電流を切り分けることができたと言える。しかし、Fig.3.16 の  $I_{s-analog}$  を見ると、100MHz 以上の周波数において  $I_{s-core}$  と同様、動作周波数 15MHz の偶数次高調波にピークがあり、 $I_{s-core}$

からの回りこみがあると予想される．今回モデルに組み込んだグラウンドや寄生インダクタンス以外のまだモデルに考慮できていない電流パスが存在している可能性がある．

### 3.6 モデル構造・モデル化手法の他の LSI への適用

次に，H8/3694F と同等の回路ブロックで構成されている MN101CF91D に対して，H8/3694F で用いたものと同じモデル構造（Fig.3.11），モデル化手法を適用し，本手法の汎用性の評価を行った．

このモデル化においては，グラウンド面を別な層に設けた 2 種類の評価用多層プリント回路基板で 3 ポートの S パラメータを測定し，それぞれについて線形等価回路モデルを構築した．これは，Fig.3.8 に示すパッケージ内のダイサポートとプリント回路基板上のグラウンド面間の距離を変えることで寄生容量を変化させ，等価回路に反映されるかどうかを検証するためである．Fig.3.17 に評価基板の断面構造を示す．2 種類の評価基板のレイアウトで異なる点は，(1) グラウンド面を第 2 層（L2），第 3 層（L3）のどちらに設けるか，(2) グラウンド面を設けた層に応じて，S パラメータ測定のための 50 線路（SMA コネクタと DUT の電源端子間の線路）の幅を変更，の 2 点のみである．

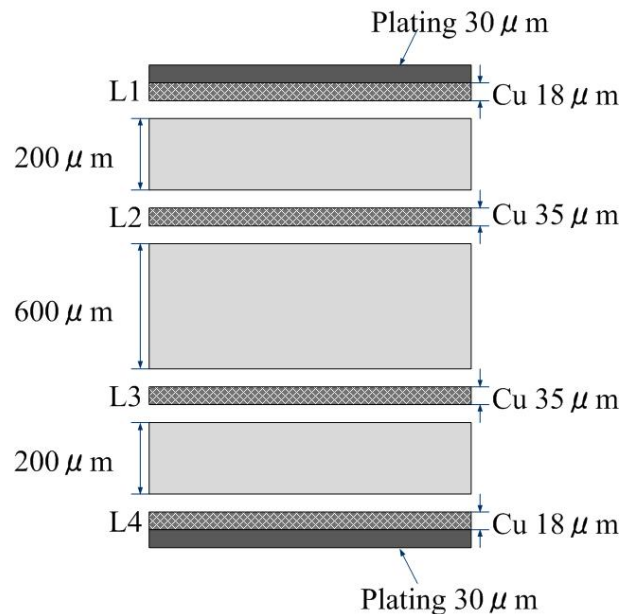


Figure 3.17: Cross section of printed circuit board.

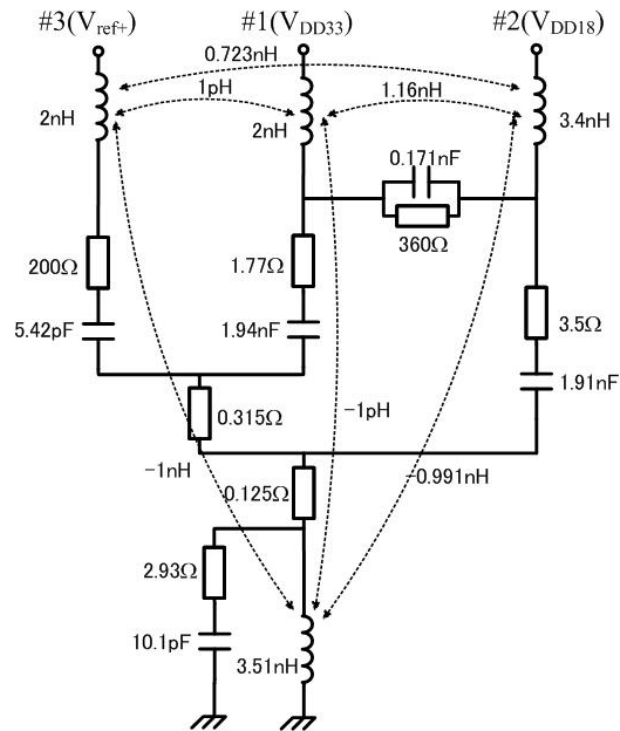
Fig.3.18 に等価回路の抽出結果，Fig.3.19～3.22 に S パラメータの実測値から算出した Z パラメータとシミュレーションで求めた Z パラメータの比較結果を示す．Fig.3.18(a) は LSI を第 1 層（Fig.3.17 の L1）に配置し，グラウンド面を第 2 層（Fig.3.17 の L2）に設けた場合の結果を表し，(b) はグラウンド面を第 3 層（Fig.3.17 の L3）に設けた場合の結果を表している．モデル抽出には H8/3694F と同様， $Z_{11}$ ， $Z_{21}$ ， $Z_{22}$ ， $Z_{31}$ ， $Z_{32}$ ， $Z_{33}$  の 6 要素を用いた．ただし，周波数範囲は 10MHz～2GHz とした．10MHz 以下を対象としなかったの

はSパラメータの値がノイズフロアに近く、測定値が安定しなかったためである。2GHzまでを対象としたのはグラウンド面を第3層に設けた場合（Fig.3.21）に1.6GHz付近で反共振が発生しており、これを含めた状態でモデル化を行うためである。なお、このLSIに関して10MHz～2GHzの領域ではほぼ相反性を確認できたため、重み関数は全要素の全周波数領域において1とした。

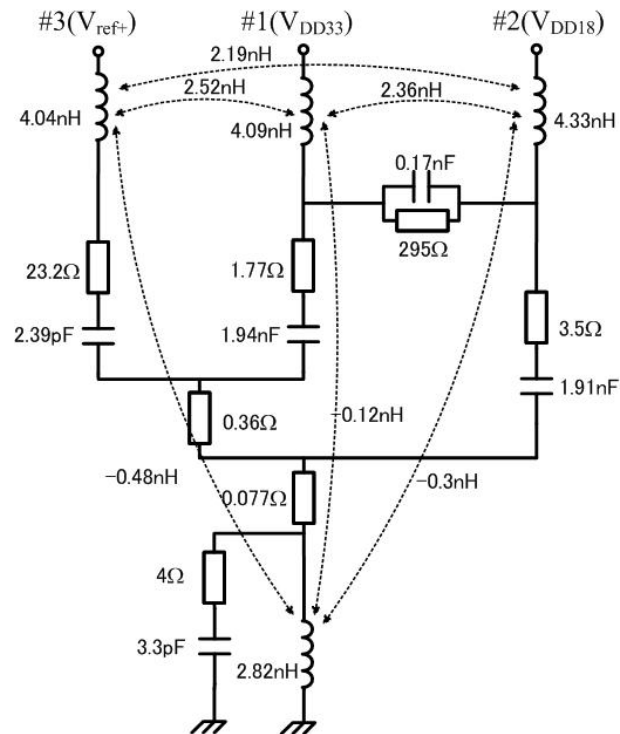
Fig.3.19～3.22をみると、グラウンド面が第2層の場合は10MHz～1.0GHz付近、第3層の場合は10MHz～1.6GHz付近の周波数帯まで振幅・位相ともに良く一致している。また、第2層、第3層のどちらにグラウンド面を設けた場合であっても、H8/3694Fの従来モデルでは特に誤差が大きかった1GHz以下の伝達インピーダンスについて、振幅・位相ともに非常に精度良く表現できている。

Fig.3.18の二つの等価回路抽出結果を見ると、グラウンド面が第2層の場合にダイサポートとプリント回路基板上のグラウンド面間の寄生容量（Fig.3.11の $C_{G-Sub}$ ）は10.1pFとなっており、グラウンド面が第3層の場合の3.3pFに対して約3倍となっている。これは、QFPパッケージのレジンの厚みを100 $\mu\text{m}$ 程度とすると、Fig.3.17のプリント回路基板の断面図より、ダイサポートとグラウンド面との距離は第2層の場合で300 $\mu\text{m}$ 、第3層の場合で900 $\mu\text{m}$ となり、距離が3倍となったことに反比例したものと考えられる。この結果から、今回のモデル構造およびモデル化手法が寄生容量も含んだ状態で適用できていると言える。



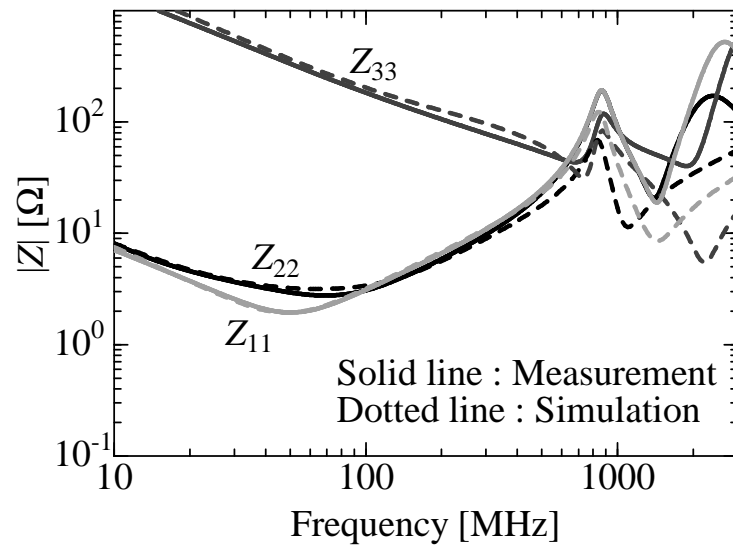


(a) Model parameters for a printed circuit board with a ground plane on layer 2.

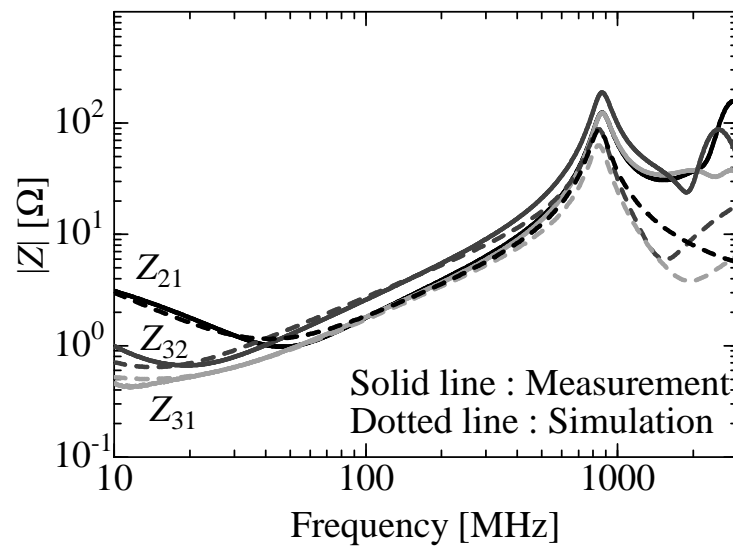


(b) Model parameters for a printed circuit board with a ground plane on layer 3.

**Figure 3.18:** Linear equivalent circuits of MN101CF91D.

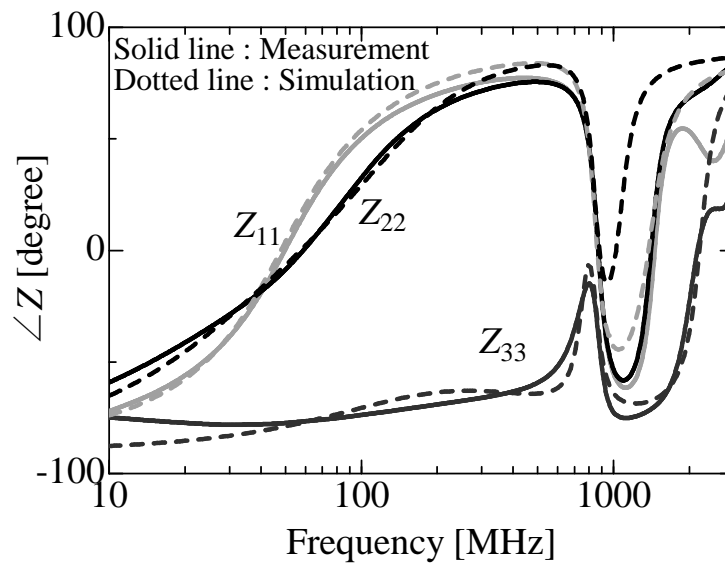


(a) Magnitude of driving-point impedances.

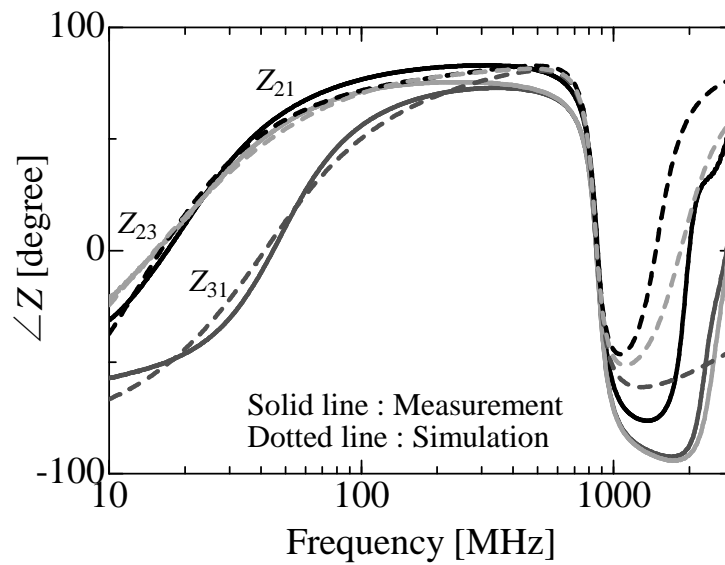


(b) Magnitude of transfer impedances.

**Figure 3.19:** Magnitude comparison of Z parameters with a ground plane on layer 2.

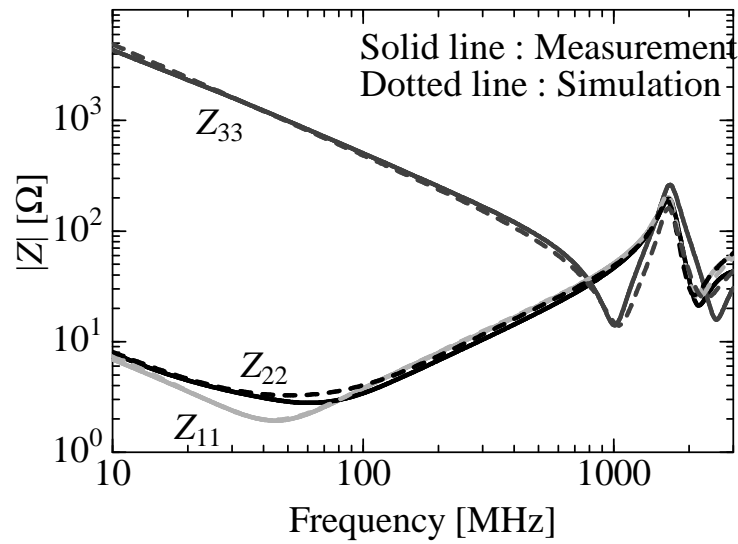


(a) Phase of driving-point impedances.

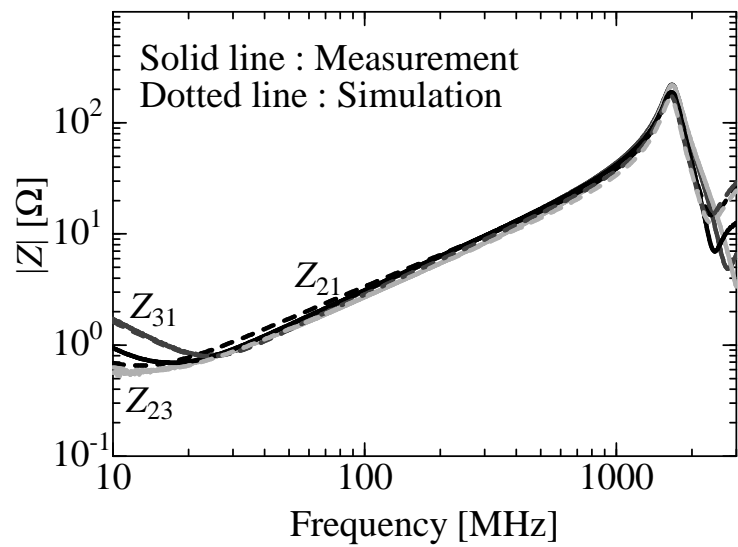


(b) Phase of transfer impedances.

**Figure 3.20:** Phase comparison of Z parameters with a ground plane on layer 2.

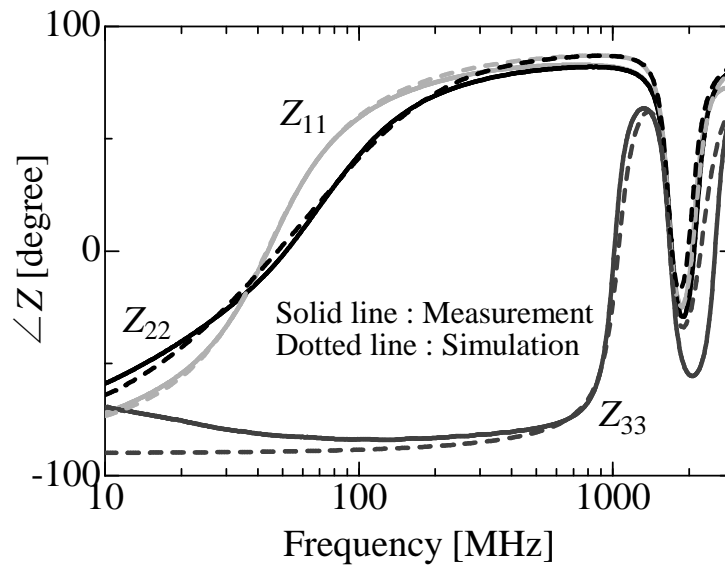


(a) Magnitude of driving-point impedances.

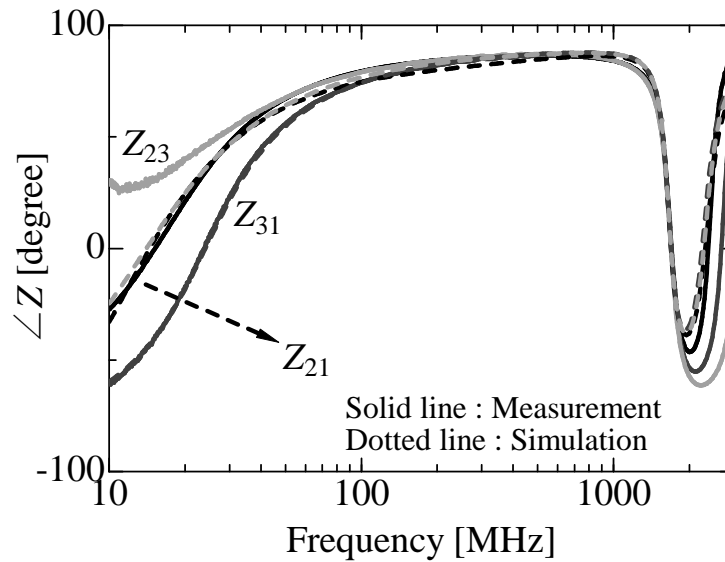


(b) Magnitude of transfer impedances.

**Figure 3.21:** Magnitude comparison of Z parameters with a ground plane on layer 3.



(a) Phase of driving-point impedances.



(b) Phase of transfer impedances.

**Figure 3.22:** Phase comparison of Z parameters with a ground plane on layer 3.

### 3.7 シリコン基板起因の結合を含む機能ブロック単位の LECCS-core モデル構築のまとめ

本章では3種類の電源端子を備えているがグラウンド端子が共通となっているマイクロコントローラ (H8/3694F) を対象として、新たな線形等価回路構造を提案し、第2章で提案した Symbolic Analysis と最小二乗パラメータ最適化を用いたモデル構築手法を適用して線形等価回路を構築した。提案した線形等価回路構造は、低周波領域での結合に着目し、この結合がシリコン基板に起因した抵抗性の結合であると推定して抵抗素子をグラウンド側に挿入する新たな構造である。これは各電源系に対応したグラウンドが LSI 内部で分離されている状況を表現する構造となっている。また、シリコン基板とパッケージ内のダイサポートやプリント回路基板上のグラウンド導体間の寄生容量を線形等価回路構造に加えることで、駆動点インピーダンス、伝達インピーダンスともに 500MHz 程度まで再現可能な線形等価回路を構築することが可能となった。今回構築した線形等価回路を用いて等価内部電流源を見積もることにより、アナログ部の内部電流源を改善することができた。

さらに、H8/3694F と同様のブロック構成であるマイクロコントローラ (MN101CF91D) を対象として、H8/3694F と同じ線形等価回路構造および回路素子のパラメータ決定方法を適用し、異なる品種のマイコンであってもモデル化が可能であることを実証した。この時、グラウンド導体を面状に配置する層を変更したプリント回路基板を用いてモデル化を行い、LSI とグラウンド面間の距離の違いによる寄生容量の差が等価回路に反映されることを確認した。これにより、今回用いた等価回路構造、モデル化手法は異なる LSI に対しても汎用的に適用可能であるといえる。

第2章、第3章において、機能ブロックを構成単位とする LECCS-core モデルの構築に向けて、従来は無視されていた機能ブロック間の内部結合を含む新たな線形等価回路構造を提案した。機能ブロック間の主要な内部結合としては、(1)LSI 内部のメタル配線やゲートに起因すると推定される結合、(2)LSI 内部のシリコン基板 (substrate) に起因すると推定される結合の2つが存在するが、それぞれの結合を含む線形等価回路を第2章、第3章で提案した。これにより、モデル化対象の LSI の構成に応じて、内部結合の付加位置や等価回路に用いる回路素子を変更する必要があるが、内部結合を含む機能ブロックごとの LECCS-core モデルの線形等価回路に関し、基本構造、および、その回路素子の決定手法を構築することができた。





## 第4章 機能ブロックごとの電源電流抽出とLSIの電源電流解析

### 4.1 まえがき

本章では、LECCS-core モデルの構成要素である LSI の等価内部電流源に関し、機能ブロック単位の等価内部電流源モデル構築の実現可能性とそのプログラム依存性について論じている。CPU やマイコンといった LSI では、同じ LSI であっても、その動作は実行されるプログラムによって変わり、動作する機能ブロックもプログラムに応じて変化する。また、処理すべき負荷が重い場合には動作周波数を高くして処理能力を向上させ、負荷が軽い場合には動作周波数を低くして消費電力を抑えるというように動作周波数を適宜変更しながら機器の制御を行うことも一般的となってきた。このため、同じ LSI であっても、動作プログラムや動作周波数に依存して電源・グラウンドに流れる高周波電流にも差が生じる。そこで本章では 8 ビットマイコンを対象とし、機能ブロック単位の LECCS-core モデル構築にむけて、機能ブロックごとに等価内部電流源を構築することの可能性を実証する。具体的には機能ブロックごとの電源電流を実測によって求め、それらをマイコンで実行するプログラムに応じてパイプライン処理を考慮して合成することで、プログラムや動作周波数を変更した場合でも電源電流のシミュレーションが可能であることを示している。

### 4.2 従来の電源電流抽出手法とその課題

LSI の動作により生じた高周波電源電流がパッケージや PCB の電源供給ネットワークを流れることで、寄生インダクタンスや寄生抵抗により電源電圧の電位変動 (パワーバウンスおよびグラウンドバウンス) が発生し、PI の悪化やそれに伴う誤動作や波形歪といった問題が発生する [2]。また、携帯電話を代表とする無線機能を備えたモバイル機器では LSI 動作時に流れる高周波電流により発生した不要電磁波が、通信に利用している周波数帯においてあるレベルを超えると通信品質に悪影響を及ぼす。こういった問題は機器内部の近距離で発生するため、3m、10m といった遠方界で放射ノイズが規制されている従来の不要電磁波放射問題に比べ、微小な不要電磁波であっても問題となることが多い。このような現象はイントラ EMC や自家中毒と呼ばれ、近年大きな課題となってきた [44]。

自家中毒に対して LECCS-core モデルを用いて設計段階でシミュレーションを実施し、自家中毒問題を起こさない設計を行う場合、第 2 章「機能ブロック間結合を考慮した LECCS-

core モデル」, 第3章「伝達インピーダンス特性を考慮した LECCS-core モデル」において述べた線形等価回路に加え, LECCS-core モデルの構成要素である LSI の等価内部電流源モデルが重要となる。等価内部電流源については文献 [20] で報告されているように, PCB と LSI 内部それぞれのインピーダンスで決まる電流変換係数  $K$  を用いて周波数軸で抽出する研究が主体であった。等価内部電流源は LSI の動作に起因して発生する電源電流をマクロに表現したものであり, マイコンのようなプログラムに応じて動作が変化する場合には等価内部電流源も変化するが, 従来の周波数軸で抽出する方法ではこの変化に追従することはできない。

一方で, 時間軸で内部電流源を抽出し, EMC シミュレーションに適用する研究もいくつか報告されている [31]-[36]。

文献 [31], [32] では SPICE モデルを用いたシミュレーションにより, 論理ゲートの入力波形や出力負荷に応じて電源電流が変化することを示し, これらを考慮して各ゲートの電流を重ね合わせることで電流シミュレーションが可能であることが報告されている。また, この考え方にもとづいて独自に開発した論理ゲートの電流を重ね合わせて電源電流を求めるツール (NEMO: Netlist-based Emission MOdels) が報告されており, 簡単なテスト回路に対して, NEMO を用いることにより SPICE シミュレーションと同等の電源電流波形が得られることが報告されている。さらに, 文献 [33] ではこの NEMO を 32 ビットマイコンの電源電流解析に適用し, 得られた LSI 単体の電流モデルとパッケージ, プリント配線板のモデルとを組み合わせることでパッケージ・プリント配線板を含めた電流解析が可能であることが示されている。

文献 [34] では PIC (Peripheral Interface Controller) マイコンを対象とし, 様々な命令コードに関して一命令のみを実行した際の電源電流を測定し, これらをプログラムで実行される命令に応じて切り替えることで LSI の電源電流シミュレーションを行っている。その結果は実測とよく一致している。また, 文献 [35] では PIC マイコンのパイプライン処理も考慮して解析を行った事例が示されている。さらに, 文献 [36] では複雑なソフトウェアとして, 自作の OS (Operating System) のカーネルを PIC マイコンで実行した場合の電流シミュレーションに命令コードごとの電源電流を切り替えて電流解析を行う手法を適用した例について報告されている。

しかしながら, 文献 [31]-[36] では論理ゲートや命令コードごとに電源電流をモデル化しているため, LSI 全体をモデル化する場合, 非常に多くの電流モデルが必要となり, シミュレーション時間の増大につながる。また, 通常, LSI ユーザが論理ゲートの SPICE モデルを入手することは非常に困難であり, 論理ゲートをベースとしたアプローチでモデルを構築することは難しい。

さらに, 文献 [34]-[36] ではシミュレーションにより得られた電流波形から電源電流のスペクトルを求めて実測との比較を行っている。比較結果をみると, 動作クロック周波数の低次の高調波に関してはよく一致しているが, 次数間調波に関しては全く議論されておらず, 提示されたシミュレーション波形と実測波形の誤差が大きい。従来の不要電磁波放射問題においては周波数軸上における最大ピークが重要であり, 動作クロック周波数の高調波のみを考慮することで問題はなかったが, イントラ EMC の場合には微小なレベルでも問題を発生するため, 次数間調波に関しても十分な精度で予測することが必要となる。

そこで，本章ではマイコンの各機能ブロックが動作した際の電源電流を個別に抽出し，実行される命令に応じて動作する機能ブロックの電流を足し合わせることで時間領域での電流シミュレーションを行っている．この時，パイプライン処理，パイプラインの各処理ステージの状況に応じて挿入されるウエイト，命令の実行サイクル数も考慮している．これにより，同じ命令の繰り返しであっても電流波形が変化する現象が再現され，電流シミュレーション結果から求めた電流のスペクトルでは次数間調波についても精度良く予測可能となっている．

なお，電源電流測定においては，磁界プローブ（Magnetic Probe）を用いて測定を行っており，アベレージングを行うことでS/N比を改善し，微小な電流まで測定できることを示すとともに，測定された電流波形から機能ブロックごとの電流を分離する方法についても提案している．さらに，プログラムで扱うデータの値に応じて電源電流が変化することを示し，データの違いを考慮することで電流解析精度が向上することを実証している．

## 4.3 磁界プローブを用いた電流測定

### 4.3.1 DUT の仕様

本章では8ビットマイコンMN101CF91D（以下，CF91D）を評価対象とした．CF91Dの論理コア部の機能ブロック概略をFig.4.1に示す[30]．なお，Fig.4.1のROMはプログラム格納用であり，Flashメモリで構成されている．

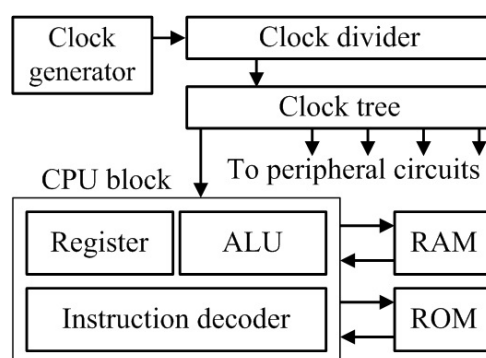


Figure 4.1: Function block diagram of MN101CF91D.

CF91Dのクロック発生回路は1～10MHzに対応しており，クロック分周回路ではレジスタ設定に従って最大128分の1まで分周可能である．従って，動作周波数範囲は7.8125kHz～10MHzである．パッケージは48ピンのQFP（Quad Flat Package）である．電源ピンは3端子あり，コア回路用（Core電源，1.8V），I/O用（I/O電源，3.3V），アナログ回路用（Analog電源，3.3V）となっているが，マイコン内部に降圧回路を持ち，外部から供給されたI/O電源よりCore電源が生成される．ただし，Core電源端子には電圧安定用のキャパシタを接続する必要がある．従って，Core電源の高周波電流は外部のキャパシタから供給され，Core電源端子を流れる高周波電流がCore電源の電流であるとみなすことがで

きる．グラウンドピンは1本であり，各電源共通である．また，CF91Dは3段パイプライン（Fig.4.2）処理機能を備えている．なお，CF91Dは8ビットマイコンであるが，CPUとROMは16ビットバスで接続されており，1回の命令フェッチにより16ビットの命令コードをROMより読み出すことができる．

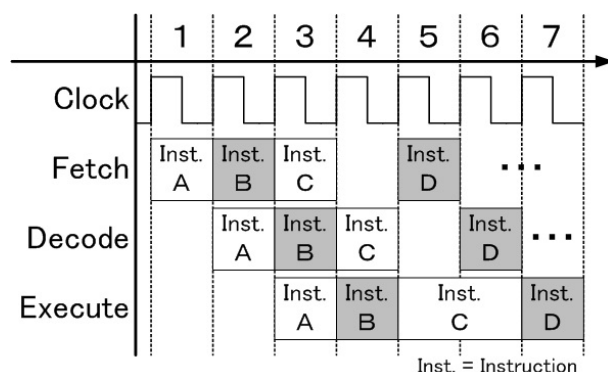


Figure 4.2: Three phase pipeline process.

### 4.3.2 測定環境

Fig.4.3，Fig.4.4に電源電流の測定系の構成図と測定用基板写真を示す．また，使用した機器の仕様をTable 4.1に示す．Fig.4.3において，アッテネータは磁界プローブとアンプ

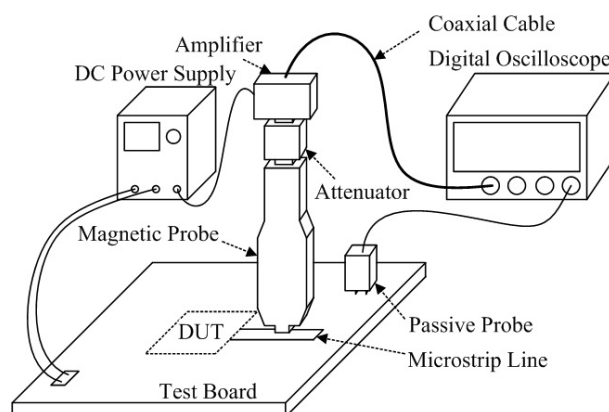


Figure 4.3: Setup of measurement for the power supply current.

間での反射を抑制するために挿入している．また，パッシブプローブは測定のトリガ信号用である（後述）．電流測定用基板にはマイコンのプログラムを外部から書き換えるための入出力ポートを設けており，同一の基板でプログラムの書き換えと電流測定が可能である．これにより，プログラム変更および電流測定はすべて同一のDUTと基板を用いて実施することが可能であり，DUTや基板のばらつきによる測定ばらつきを無視することができる．なお，測定は外来ノイズの混入を抑えるため，シールドルーム内で行った．

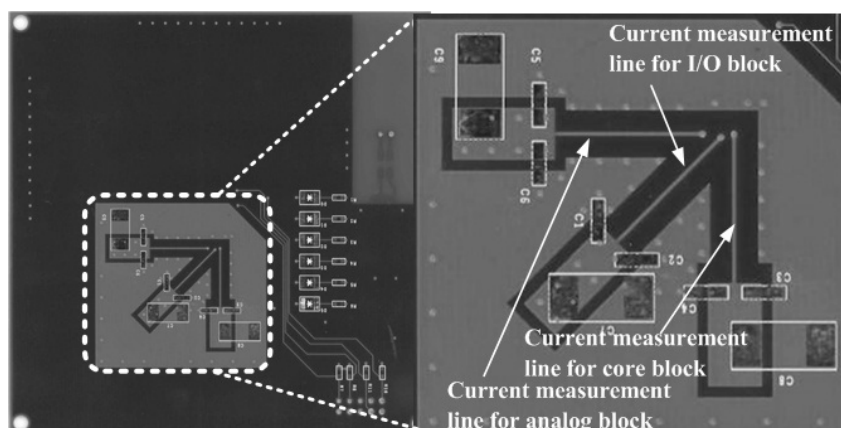


Figure 4.4: Photo of PCB for the current measurement (Layer 4 only).

Table 4.1: Specification of measurement equipment.

名称	仕様
デジタルオシロスコープ (Agilent 54832B)	DC ~ 1GHz 4G サンプル/s
磁界プローブ (NEC 真空硝子 CP-2S)	帯域 10MHz ~ 3GHz
アッテネータ (Agilent 8493A)	減衰量 6dB 帯域 DC ~ 12.4GHz
プリアンプ (R&K AR01302-3015-00)	ゲイン 31 ~ 33dB 帯域 10kHz ~ 3GHz

Fig.4.4 においてマイコンは第1層に配置してあり、3種類の電源端子それぞれを貫通ビアで第4層に引き出し、磁界プローブによる電流測定ラインを設けている。磁界プローブを用いた測定では電流が流れる経路を切断することなく非接触で電流を測定することが可能である [45],[46]。しかし、測定データは電圧値であり、校正係数を用いて電流への変換を行う必要がある [47]。校正係数は50 線路とネットワークアナライザで測定したSパラメータから導出した。

### 4.3.3 電圧から電流への校正係数の導出

磁界プローブによる電流測定の校正方法の原理については文献 [47] の Annex B で説明されている。Fig.4.5 に示すようなマイクロストリップ線路において磁界プローブで測定を行う場合を考える。プローブおよびプリアンプ等を含む測定系の周波数特性を複素領域で考慮して、測定された電圧から電流の実時間波形を再現する。

測定されたプローブ出力電圧を  $v_p(t)$  とすると、伝送線路上を流れる電流の周波数領域



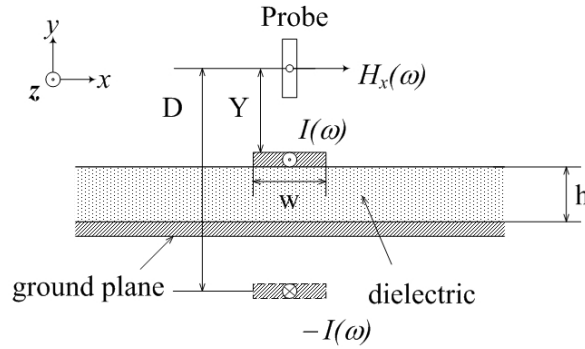


Figure 4.5: Cross section of micro-strip line and magnetic probe.

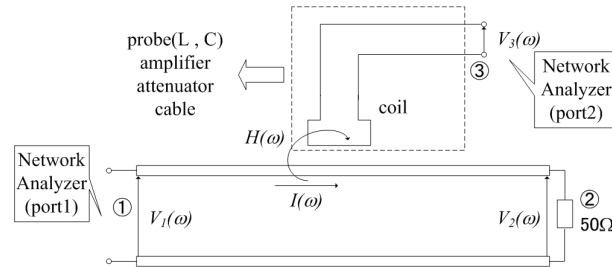


Figure 4.6: Transmission line with 50 ohm impedance and equivalent circuit of magnetic probe.

における複素振幅  $I(\omega)$  はフーリエ変換  $F[]$  を用いて次式で表される．

$$I(\omega) = \frac{C_\alpha}{C_h} C_f(\omega) F[v_p(t)] \quad (4.1)$$

ここで、 $C_f(\omega)$  はプローブおよびプリアンプ等を含む測定系の感度の周波数特性であり、電流から磁界への複素伝達係数の逆数である．また、 $C_h$  は Fig.4.5 に示すマイクロストリップ線路に流れる電流とストリップ導体から高さ  $Y$  の位置の磁界の変換係数であり、伝送線路幅  $W$  が十分に狭く、電流  $I(\omega)$  が幅のない線状に集中して流れているとみなせる場合、磁界  $H_x(\omega)$ 、電流  $I(\omega)$ 、変換係数  $C_h$  は理想グラウンド面によるイメージ電流を考慮して次式で表される．

$$H_x(\omega) = \frac{hI(\omega)}{\pi Y(Y + 2h)} = C_h I(\omega) \quad (4.2)$$

$$C_h = \frac{h}{\pi Y(Y + 2h)} \quad (4.3)$$

実際には伝送線路は幅を持っているため、幅がない場合に鎖交する全磁束  $\phi$  と伝送線路の幅方向に一樣に電流が流れる場合にループプローブに鎖交する全磁束  $\phi_{sqr}$  の比を  $C_\alpha \equiv \phi/\phi_{sqr}$  として式 (4.1) で補正する．

なお、文献 [47] では  $C_f(\omega)$  について磁界プローブの周波数特性を表す校正係数として絶対値のみを使用しているが、電流の時間波形を求めるためには  $C_f(\omega)$  を位相も含んだ複

素校正係数として扱う必要がある．複素校正係数  $C_f(\omega)$  は伝送線路長  $l$  と伝送線路上の位置  $z$  と磁界プローブ位置  $z_0$  によって決まり，次式で表される．

$$C_f(\omega) = \frac{1}{S_{31}(\omega)} \int_0^l A(z) \{S_{21}(\omega)\}^{z/l} dz \quad (4.4)$$

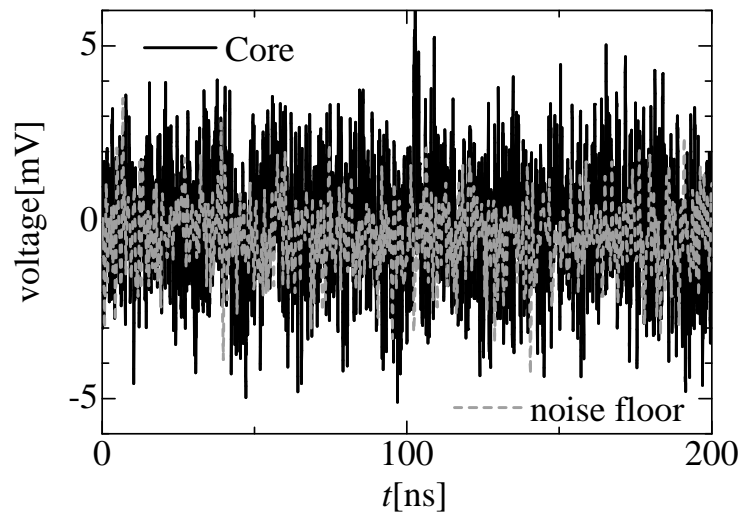
$$A(z) \equiv \frac{1}{200\pi} \left[ \frac{Y}{\{(z - z_0)^2 + Y^2\}^{3/2}} - \frac{Y + 2h}{\{(z - z_0)^2 + (Y + 2h)^2\}^{3/2}} \right] \quad (4.5)$$

ここで Fig.4.6 のようにポートを定義したとき， $S_{31}$  は伝送線路ポート 1 から磁界プローブの出力への透過特性（アッテネータ，アンプ，ケーブルを含む）であり， $S_{21}$  は伝送線路の両端の透過特性である．これらは 50 マイクロストリップラインを用いてネットワークアナライザで測定することが可能である．最終的に式 (4.1) で得られた電流を逆フーリエ変換することで時間領域の電流波形を得る．

#### 4.3.4 アベレージング測定

Fig.4.3 の測定系で Core 電源を測定した結果（校正前，プリアンプ出力値）を Fig.4.7 に示す．Fig.4.7 では測定系のノイズレベルが高く，有意な測定結果が得られていない．そこで，本章では同じ命令列を繰り返し実行し，ディジタルオシロスコプのアベレージング機能を用いることでノイズレベルの低減を図った．具体的には Fig.4.8 に示すように jmp 命令を用いてループプログラムを構成し，ループの最初に 1 本の外部端子の出力レベルを High/Low と変化させる命令を加えた．パッシブプローブでこの信号をディジタルオシロスコプに入力し，立ち下りエッジをトリガとして磁界プローブの出力を取り込み，アベレージングを行うことでランダムノイズを低減した．アベレージング回数はディジタルオシロスコプの最大値である 4096 回とした．

Fig.4.7 と同じ環境でアベレージングを適用して測定した結果を Fig.4.9 に示す．測定系のノイズレベルが低くなり，信号が抽出できていることがわかる．なお，本章で示す以降の電流測定結果はすべて 4096 回のアベレージングを適用して測定した結果である．



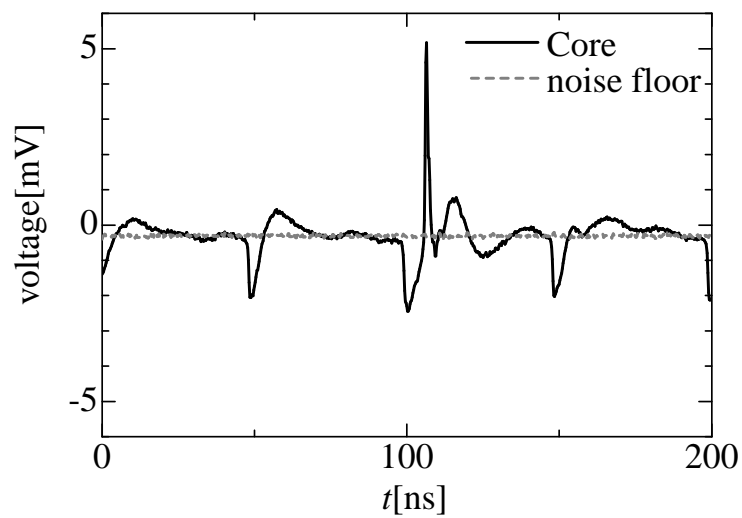
**Figure 4.7:** Measured voltage of power supply line for core block.

```

loop A:
  mov 0x01, (0x3F15) #外部端子にHigh出力
  mov 0x00, (0x3F15) #外部端子にLow出力
  ...
  ...           } #測定対象命令列
  ...
  jmp loop A

```

**Figure 4.8:** Fundamental program for current measurement.



**Figure 4.9:** Measured voltage of power supply line for core block with averaging 4096 data.

## 4.4 電流要素抽出

### 4.4.1 電流を構成する要素

Fig.4.3 の測定系で Core 電源電流を測定した結果（校正係数で電流値に変換したもの）を Fig.4.10 に示す．発振周波数は 10MHz，分周比は 16 であり，動作周波数は 625kHz（周期  $1.6\mu\text{s}$ ）である．測定対象命令列は nop（no operation）のみの 100 回の繰り返しである．従って，マイコンはプログラムに依存しないクロック生成・分周・分配とトリガ信号生成，命令フェッチ・解釈のみを行い，その他は何も実行しない．Fig.4.11 に一部を拡大した波形を示す．この波形を見ると，Core 電源の電流は 4 つの要素で構成されているとみなすことができる．

Fig.4.11 の要素 1 は他の要素に比べて電流変動の持続時間が長く，Fig.4.10 から  $3.2\mu\text{sec}$ （2 周期）ごとに現れていることがわかる．これは今回のマイコンが基本的に命令フェッチを 2 周期に 1 回行う仕様であることと一致しており，この電流は命令フェッチ，すなわち ROM アクセスによるものと推定される．

要素 2，3 は 800nsec ごとに交互に現れており，要素 2 は要素 3 より若干大きい．測定時のマイコンの動作周波数が 625kHz（周期は  $1.6\mu\text{s}$ ）であることから，これらはそれぞれ分周後の動作クロックの立ち上がり，立ち下り時にクロックツリーにより生じる電流であると推定される．なお，要素 2，3 は同じ機能ブロックで発生する電流ではあるが，分周比を変更して動作クロックの周波数を変えた場合に各要素が発生する間隔が変わるため，個別の要素として取り扱う．

要素 4 は絶対値は小さいが，全時間帯にわたり発生している．要素 4 は約 100nsec の周期性を持っておりこれは発振周波数の 10MHz に相当する．したがって，要素 4 はクロック生成回路，および分周回路においてクロック発生回路から 10MHz のクロックを入力する部分で発生した電流であると推定される．

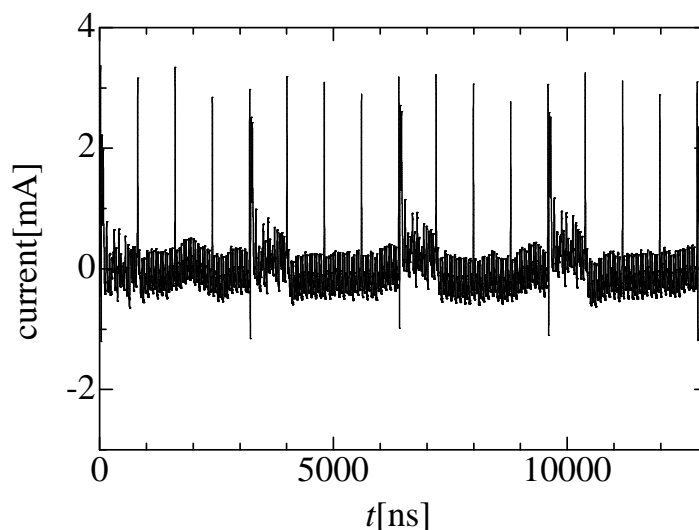
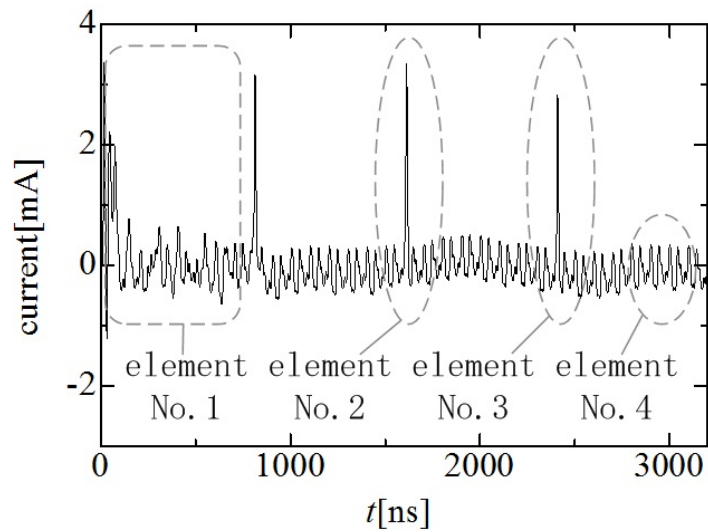


Figure 4.10: Power supply current measurement result of the core block.



**Figure 4.11:** Power supply current measurement result of the core block (expanded view in time).

以上，nopのみを繰り返すプログラムには，4つの電流要素が含まれており，これらを個別に抽出することで，Fig.4.1に示す各機能ブロックに対応した次の4つの電流源モデルを構築することができる．

要素1：ROMの電流

要素2：クロックツリー（立ち上り）の電流

要素3：クロックツリー（立ち下り）の電流

要素4：クロック発生／分周回路の電流

ただし，要素1にはCPUブロックの電流が一部含まれているが，ROMアクセス時には常に発生するものであり，切り分ける必要はない．

### 4.4.2 各要素の抽出

Fig.4.10 に示す測定結果を用いて，次の手順で各要素の抽出を行った．

#### (1) 要素 4 の抽出

要素 4 は Fig.4.10 の波形全体で観測されており，どの部分からでも抽出が可能である．しかし，できる限り，他の機能ブロックの動作の影響を受けていない状態で抽出するため，Fig.4.12 に示すように，クロックの立ち上がり直前の 1 周期分を要素 4 として抽出した．

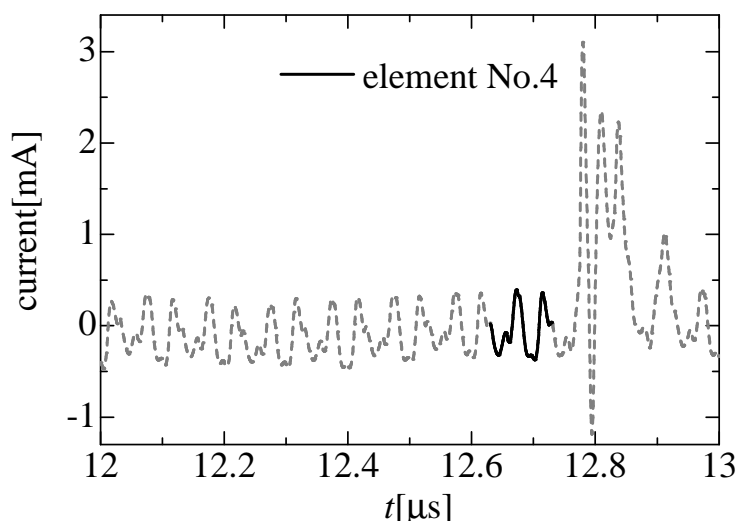


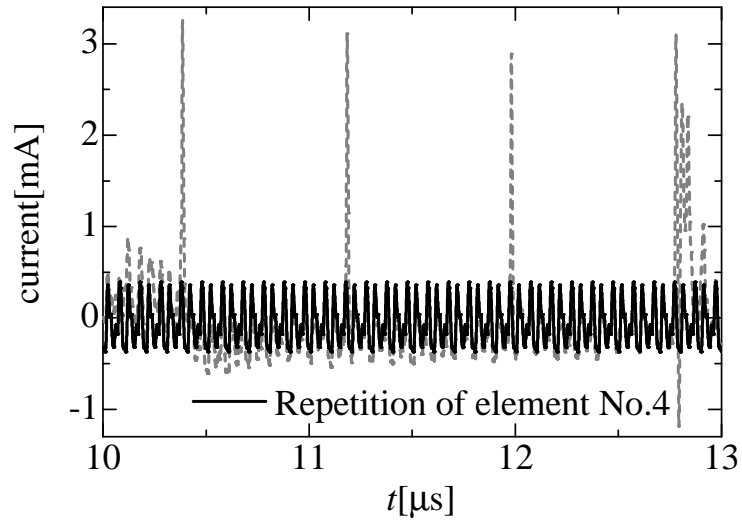
Figure 4.12: Extraction of the element No.4.

#### (2) 要素 2, 3 の抽出

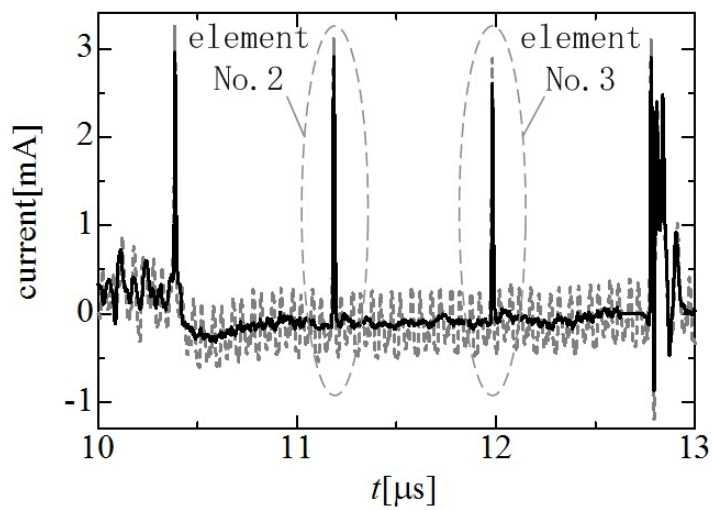
クロック発生 / 分周回路のみの電流を想定して要素 4 を繰り返し並べ (Fig.4.13)，この波形を測定波形から引くことでクロック発生 / 分周回路の影響を取り除き，要素 2, 3 を抽出した (Fig.4.14)．

#### (3) 要素 1 の抽出

最後に Fig.4.14 の波形から要素 2, 3 を差し引いてクロックツリーによる電流の影響を取り除き，要素 1 を抽出した (Fig.4.15)．なお，今回抽出した要素 1 の波形を発振周波数 8MHz，分周比 16 (動作周波数 500kHz，周期 2.0μs) で nop のみを繰り返した場合の波形と比較した結果を Fig.4.16 に示す．要素 1 の最初の大きな揺れや傾向は 8MHz の nop 電流とよく一致しており，要素 1 がクロック周波数に依存していないと推定される．

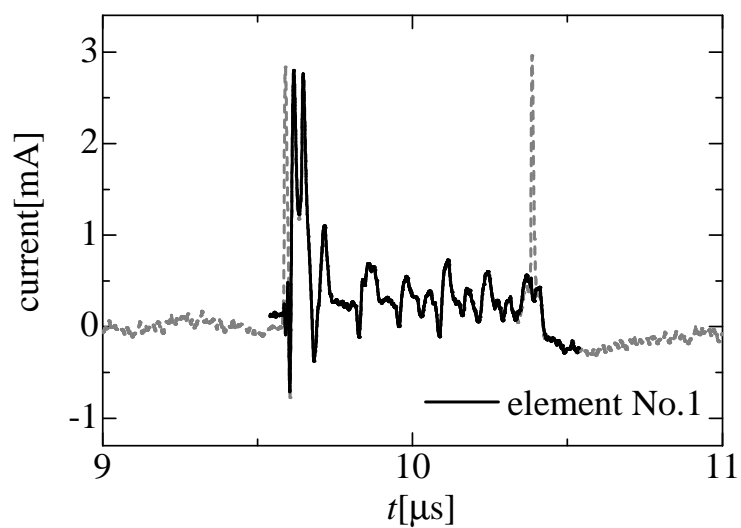
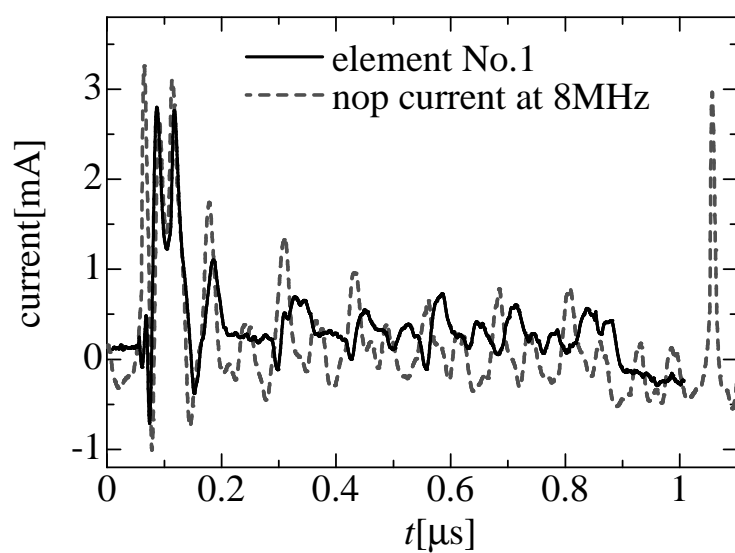


**Figure 4.13:** Repetition of the element No.4.



**Figure 4.14:** Extraction of the elements No.2 and 3.



**Figure 4.15:** Extraction of the element No.1.**Figure 4.16:** Comparison of the element No.1 with nop current at 8MHz.

### 4.4.3 その他のブロックの電流要素抽出

次に，命令コマンド `add` と `mov` を実行した際の電流から，CPU ブロックと RAM ブロックの電流を抽出した．`add` は加算を実行する命令であり，CPU 内の ALU が動作する．`mov` はデータの書き込み・読み出しを行う命令であり，アクセス先のアドレスを変更することで RAM，ROM，レジスタ等，異なるブロックへのアクセスを実行することができる．本節では RAM とレジスタへデータを書き込むことで RAM ブロックとレジスタブロックの電流を抽出した．電流測定の際には 4.4 節で用いたプログラムの `nop` 100 回の繰り返しの中に 1 回だけ `add`，あるいは，`mov` を挿入したプログラムを用いた．ただし，加算データ，書き込むデータともに `0x0` とし，データ変化に伴う電流を無視できるようにした．各ブロックの電流要素は測定波形から 4.4.2 節で抽出した要素 1～4 を差し引くことにより抽出した．抽出結果を Fig.4.17～4.19 に示す．また，各命令の実行サイクル数を table 4.2 に示す．Fig.4.17，4.18 ではピークが 4 つ，Fig.4.19 ではピークが 6 つ観測されており，`add` 命

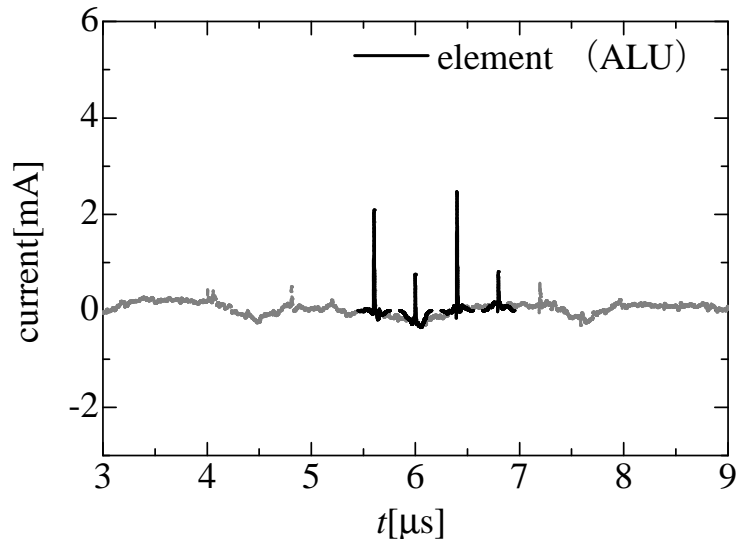
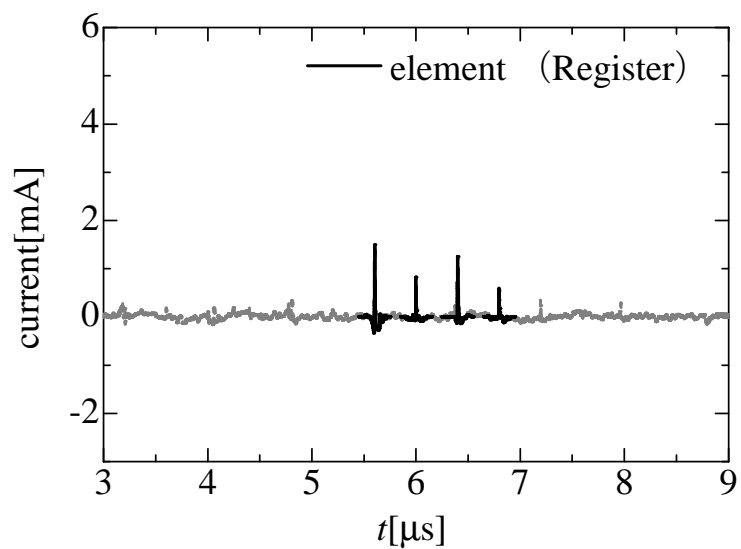
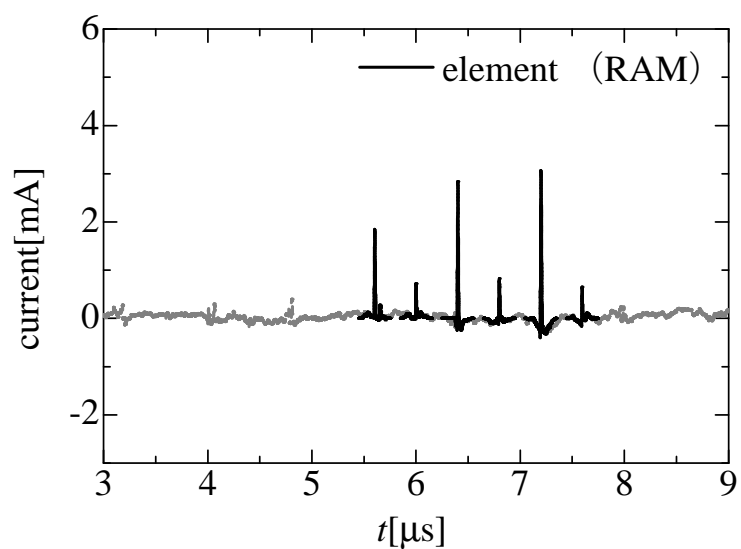


Figure 4.17: Power supply current with processing "add" instruction.

令，レジスタ書き込み命令，RMA 書き込み命令の実行サイクル（それぞれ，2，2，3）のちょうど 2 倍の数となっている．また，奇数番目のピークレベルに対して偶数番目のピークレベルは小さい．これは動作クロックの立ち上り，および，立ち下りに同期して内部回路が動作することで電流が発生しているが，立ち下りに同期して動作する回路が少ないためと推測される．なお，要素 2，3 と同様，動作周波数の変更に対応するため，各ピーク電流を個別に電流要素として抽出した．



**Figure 4.18:** Power supply current with writing data to "D0" register.



**Figure 4.19:** Power supply current with writing data to RAM.

**Table 4.2:** Execution cycle number.

命令	実行サイクル数
add	2
mov data (to Register)	2
mov data (to RAM)	3

## 4.5 プログラム依存性を考慮した電流解析

これまでに抽出した電流要素を用いてプログラムおよび動作周波数（分周比）を変更して電流シミュレーションを行い、実測との比較評価を行った。本節では時間領域、周波数領域の両面から評価を行った。

### 4.5.1 時間領域での電流解析

電流シミュレーションの実施前に各要素の不連続性により発生する不要な電流変化について補正を行った。

Fig.4.20 に示すように抽出した各要素を並べた場合、各要素の端点のレベルに差があるため、不連続な点が発生する（Fig.4.20 の Error）。この不連続点は電流変化分（電流の微分  $di/dt$ ）を求めると大きなピーク、あるいはディップとして表れる。この電流変化分は実際には発生しないものであるが、PI シミュレーションにおいてはインダクタンス（ $L$ ）による電位変動（ $L di/dt$ ）が大きく予測されてしまうことになり、補正を行う必要がある。

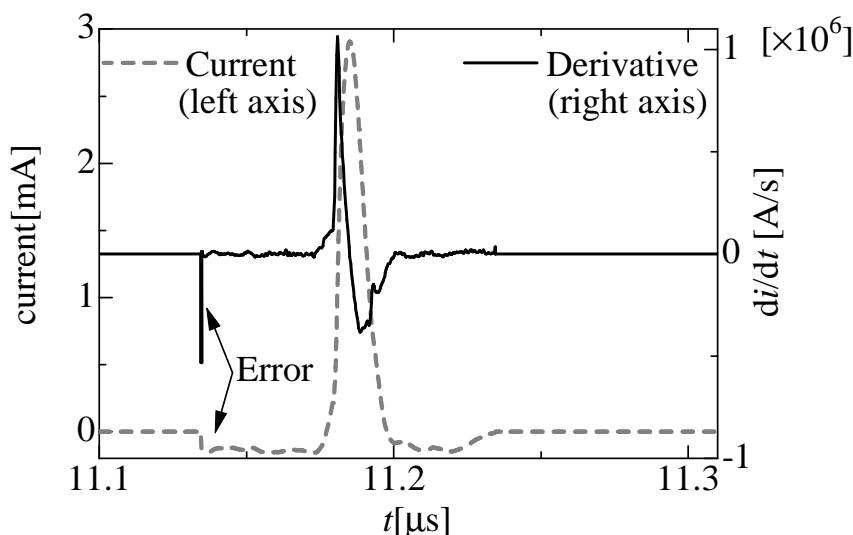


Figure 4.20: Merge error due to the discontinuity of elements.

補正には2通りの方法を用いた。要素4以外の各要素に関しては時間波形を合成する際に連続して並べる必要があるため、各要素の端点はすべて一致している必要がある。各要素が回路動作に起因して発生していることを考慮すると本来これらの端点は0となるべきである。このためこれらの要素については窓関数を時間領域で掛け合わせることで補正を行った。時間波形合成時の端点での電流変化に大きな影響を与えないようにするため、窓関数としては端点が滑らかに変化するものを用いる必要がある。今回はハニング窓の中心に値が1となる部分を挿入したものを用いた。各要素に関して、電流変動の持続時間が発振周波数（10MHz）の周期（100nsec）の何周期分となるかに応じて、該当する周期数

に2クロックを加えた期間だけ1を挿入したハニング窓\*を用いた．要素2に用いたハニング窓を Fig.4.21 に示す．要素2は電流変動の持続時間が発振周波数の1クロック以下であるため，3クロック分だけ1を挿入している．また，電流変動の持続時間が長い要素1に関しては14クロック分（1400nsec）だけ1を挿入したハニング窓を用いている．

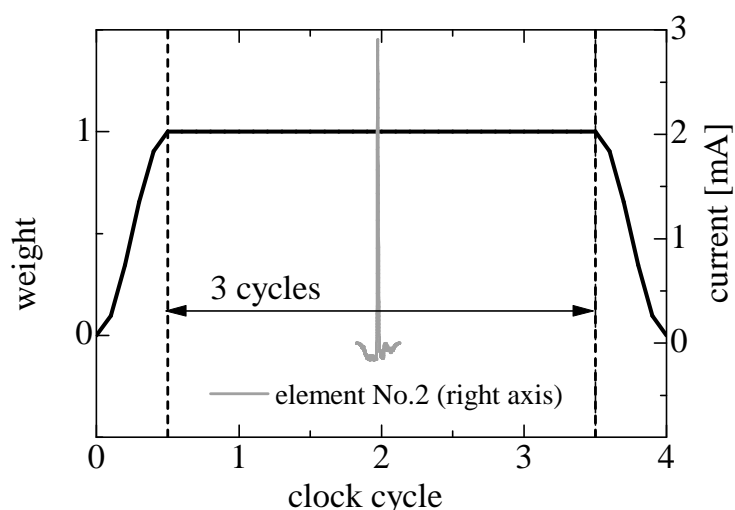


Figure 4.21: Hanning window for element No.2.

Fig.4.22 に補正した要素を用いて合成した波形を示す．形状を大きく変化させることなく，Fig.4.20 の不連続部による誤差が取り除かれている．

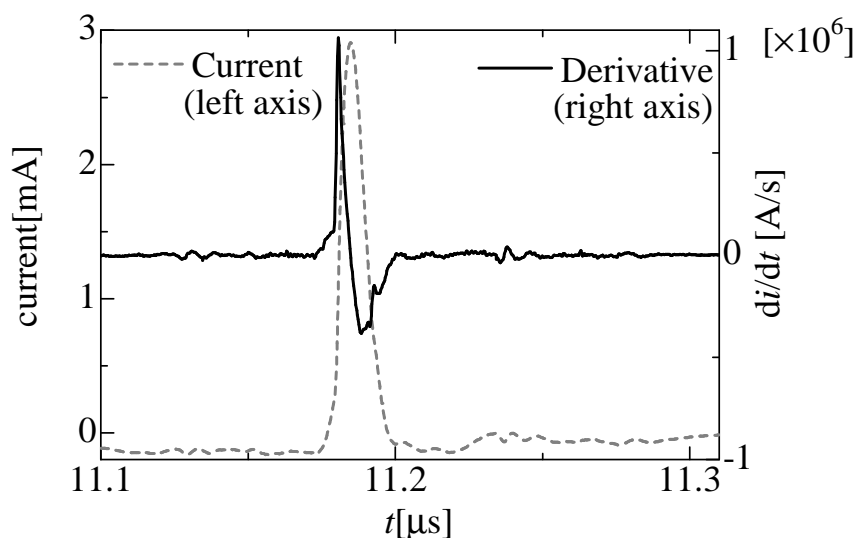


Figure 4.22: Correction result of the element discontinuity.

要素4はクロック発生／分周回路により生じるものであり，他のブロックの動作には影響されない．従って，電流解析では全時間領域にわたって要素4のみを並べたものを他の

\* $y=0.5-0.5\cos(2\pi x)$

ブロックの電流に重ね合わせればよいと推定される．このため，要素4ではその両端が0である必要はなく，電流値が一致していれば良い．Fig.4.23 に補正方法を示す．まず，要素4の両端（A，B）の電流値の差  $\Delta y$  を求める．次に  $i=y+\Delta y/2$  の直線と線分 AB の差を求め，もとの波形に足し合わせる．これにより，端点は A'，B' に移動し，大きく波形を変形せずに端点の電流値を一致させることができる．

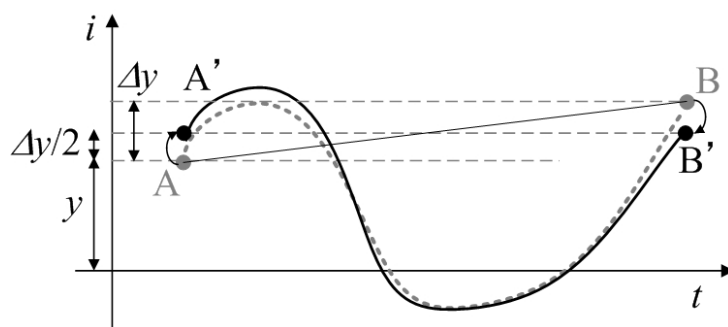


Figure 4.23: Correction method for the discontinuity of element No.4.

Fig.4.24 に電流シミュレーションと実測の比較を行ったプログラムを示す．ただし，Fig.4.8 のプログラム中の測定対象命令列のみを示している．add, レジスタ書き込み，RAM 書き込みをランダムに実行するプログラムとした．本節の電流シミュレーションでは動作ク

add	0x00, D0	#足し算
mov	0x00, D0	#レジスタ書き込み
add	0x00, D0	#足し算
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, D0	#レジスタ書き込み
mov	0x00, D0	#レジスタ書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, (0x00F0)	#RAM書き込み
add	0x00, D0	#足し算
mov	0x00, D0	#レジスタ書き込み
mov	0x00, (0x00F0)	#RAM書き込み
mov	0x00, D0	#レジスタ書き込み
add	0x00, D0	#足し算
add	0x00, D0	#足し算

Figure 4.24: Program for current analysis.

ロックの立ち上がりエッジでどの命令が実行されているかを考慮し，実行されている命令に応じた各電流要素を合成することで電流の時間波形を求めている．ただし，CF91D は基本的には2サイクルごとに命令フェッチを行うが，実行ステージの状況に応じて命令フェッチにウェイトが発生するため，シミュレーションにより電流を求める際にはパイプ

ラインの状態も考慮し、命令フェッチ時のROMブロックの電流（要素1）を足し合わせた。なお、動作周波数は10MHz（分周比1）である。Fig.4.25, 4.26 に実測とシミュレーションで得られた電流波形とPIシミュレーションで重要となる電流の変化分（微分）をそれぞれ示す。

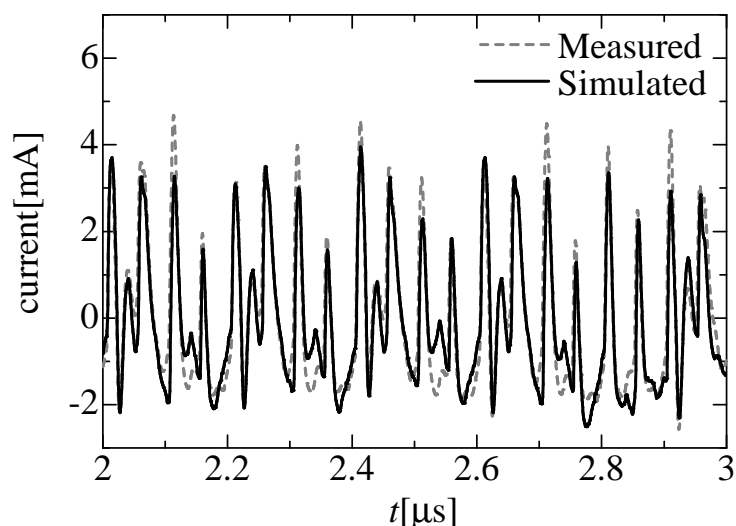


Figure 4.25: Power supply current analysis result.

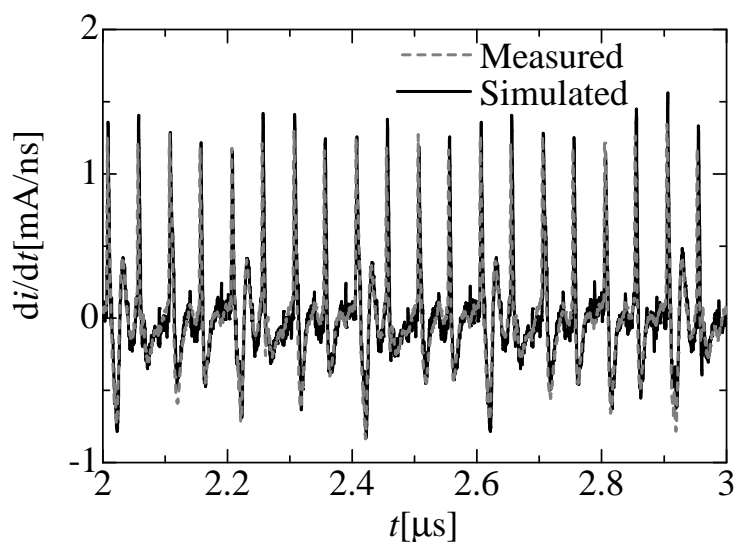


Figure 4.26: Differentiation of power supply current.

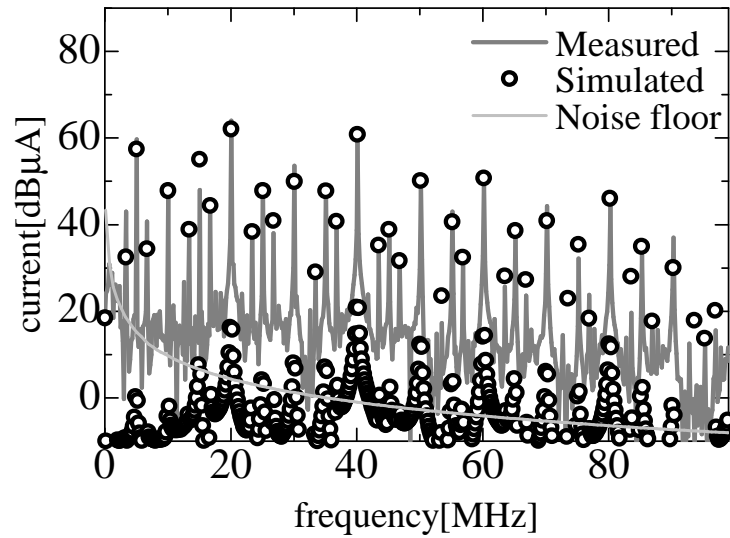
これらの結果をみると、電流波形の外形はほぼ一致しており、625kHz 動作時の電流から今回抽出した電流要素を用いて、命令をランダムに10MHzで実行した場合の波形予測が可能であるといえる。また、Fig.4.26の電流変化の波形では $-0.5\text{mA/ns}$ を下回るディップと下回らないディップがランダムに発生している様子をシミュレーションで再現できている。Fig.4.26のピーク値の平均誤差は8.6%であり、各電流要素をプログラムに応じて合



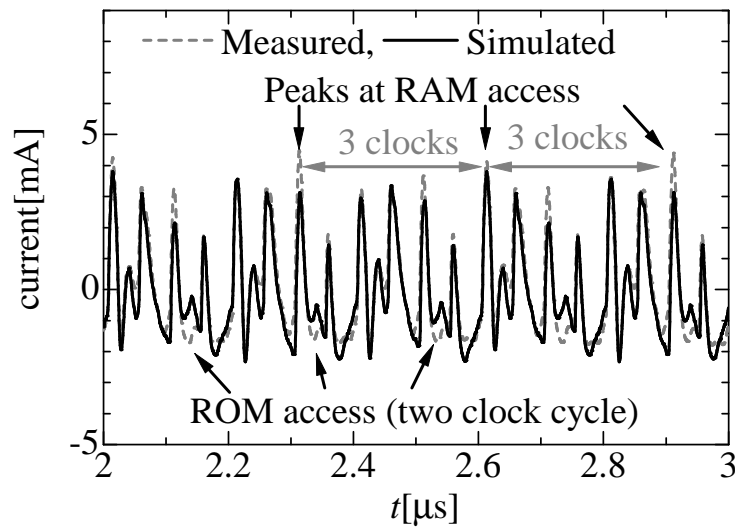
成することにより電流変化も精度良くシミュレーションできるといえる．このことから，インダクタンス（ $L$ ）による電位変動（ $L di/dt$ ）に起因するPI問題のシミュレーションに対して本節の電流解析手法を適用することが可能であるといえる．

#### 4.5.2 周波数領域での電流解析

RAM 書き込み命令 [ `mov 0x00, (0x00F0)` ] のみを繰り返すプログラムを用いて周波数領域での電流解析を行った．抽出した電流要素を用いてRAM 書き込みのみを繰り返した際の電流波形を求め，フーリエ変換により電流スペクトルを求めた．動作周波数は10MHz（分周比1）である．Fig.4.27 に電流スペクトル，Fig.4.28 に電流波形を実測波形とともに示す．Fig.4.27 をみると10MHzの高調波だけでなく，3.3MHz，5MHzとその逡倍の周波数といった次数間調波も精度よく再現できている．1/3 分数調波が発生する原因については，Fig.4.28 より，RAM アクセスの実行サイクルが3 clock であり，3 clock ごとにRAM アクセスの電流（Fig.4.19）が発生しているためと推定される．また，1/2 分数調波に関してはFig.4.28 より，2 clock ごとに命令フェッチが行われてROM アクセスの電流（Fig.4.15）が発生しているためと推測される．この結果から機能ブロックごとの電流を抽出し，パイプライン処理を考慮した電流解析を実施することで次数間調波を含めてシミュレーションで再現することが可能であるといえる．



**Figure 4.27:** Spectrum of power supply current with writing data to RAM repeatedly.



**Figure 4.28:** Power supply current with writing data to RAM repeatedly.

なお，Fig.4.27 では100MHz までの解析しか示していないが，これは対象としたマイコンの動作周波数が10MHz と低速であり，100MHz を超える電流成分がノイズフロアと同等以下であったためである．本節の解析では電流要素抽出時のオシロスコープや磁界プローブの帯域の制限により，予測可能な上限周波数は1GHz 程度であるが，より広帯域な機器を用いて電流要素の抽出を行う，あるいはシミュレーションを用いて電流要素の抽出を行うことにより，上限周波数を3GHz 程度まで拡張することは可能である．

## 4.6 データ依存性を考慮した電源電流解析

### 4.6.1 データ依存性を考慮した電流要素抽出

マイコンで実行する命令の違いに加え、各命令で扱うデータが異なる場合にも命令実行時の電源電流が異なることが予想されるため、前節までは各命令で扱うデータを 0x00 に固定し、電源電流のデータ依存性を無視してきた。本節では、各命令で扱うデータが変化した場合の電源電流の変化について検討を行う。

まずはデータの違いにより電流波形の違いが生じることを確認するために、4.4.3 節と同様に、nop を 100 回繰り返す中で一度だけ解析対象の命令を実行するというプログラムを用いて、各命令について扱うデータが異なる場合の電流要素の差分を抽出した。扱うデータは 0xFF と 0x00 とし、0xFF を書き込む（加算する）時の電流波形から 0x00 を書き込む（加算する）時の電流波形を差し引くことにより各命令について扱うデータが異なる場合の電流要素の差分を抽出した。扱うデータを 0xFF と 0x00 としたのは、8 ビットのデータにおいては変化するビット数が最大であり、最も差分が大きくなると予想されるためである。但し、4bit 加算命令については、0xF を加算するときの電流波形から 0x0 を加算するときの電流波形を差し引くことにより差分を抽出している。Fig.4.1 に示す各機能ブロックについて差分を確認するため、RAM へのデータ書き込み、レジスタへのデータ書き込み、レジスタ間のデータ移動、8 ビット加算演算、4 ビット加算演算の計 5 種類の命令において扱うデータを変化させた場合の差分を抽出した結果を Fig.4.29 に示す。5 種類の命令ともに差分が見られており、どの命令においても差分はほぼ正の値となっている。このことから、当初想定通り、電源電流はデータ依存性を持っており、0xFF を書き込む（加算する）時の方が 0x00 を書き込む（加算する）時よりも電流が流れているといえる。これは電流の流れとしては、0 → 1 への変化では電源回路から LSI 電源端子への電流の流入が主であり、1 → 0 への変化では LSI グラウンド端子からグラウンド配線側への電流の流出が主であり、本研究では電源端子側で電流観測を行っていることに起因している。

なお、Fig.4.29(c) に示すレジスタ間のデータ移動を実行した際の電流差分については本命令が実行サイクル数が 1 であるにもかかわらず、2 サイクル目においても電流が観測されている。現状、その原因解明には至っていないが、他の電流に比べて有意なレベルにあるため、後述の電流解析ではこの電流を加味することとした。

次に、扱うデータの値を細かく変化させた場合について検証を行った。ここでは Fig.4.29 に示す各命令の電流差分において、最もデータ依存性が大きいと予想される (d) の 8bit 加算演算の peak1, peak2 に着目し、加算するデータに含まれる 1 の数を変えて 0x00 を加算した場合の電源電流との差分を測定した。測定結果を Fig.4.30, Fig.4.31 に示す。横軸は加算するデータ（8 ビット）中に含まれる 1 の数である。これは、加算に用いるレジスタは加算演算前に 0x00 に初期化しているため、レジスタ内で“0”から“1”へと変化するビットの数と等価である。Fig.4.30, Fig.4.31 より、8 ビットの add 命令実行時に加算するデータを変化させた場合の電源電流の差分は加算するデータに含まれる“1”の数（＝“0”から“1”に変化するビット数）にほぼ比例するといえる。この結果から、8 ビットの add 命令実行時の電源電流は基準電流とデータ依存部分に分けることができ、基準電流は 0x00

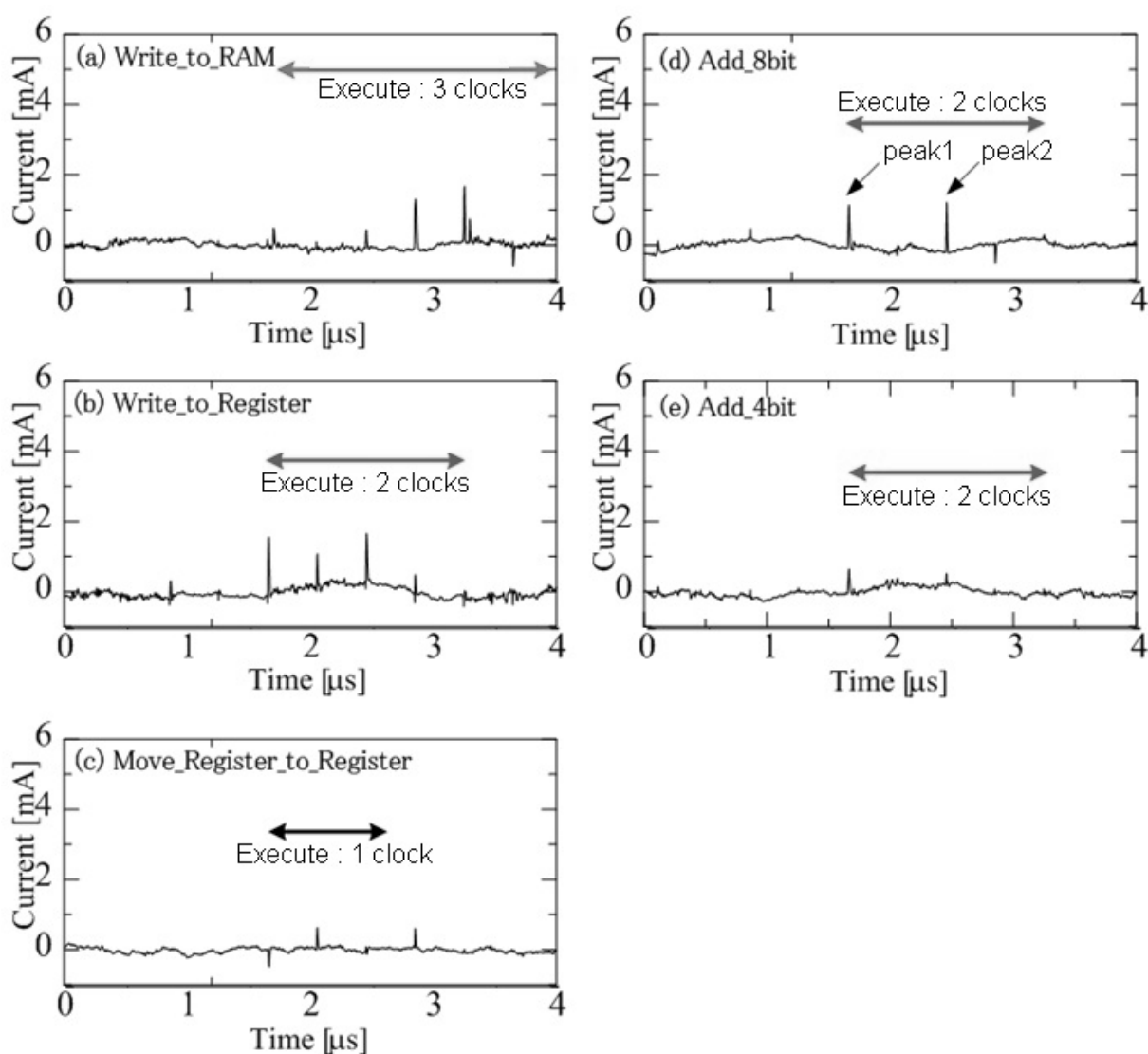
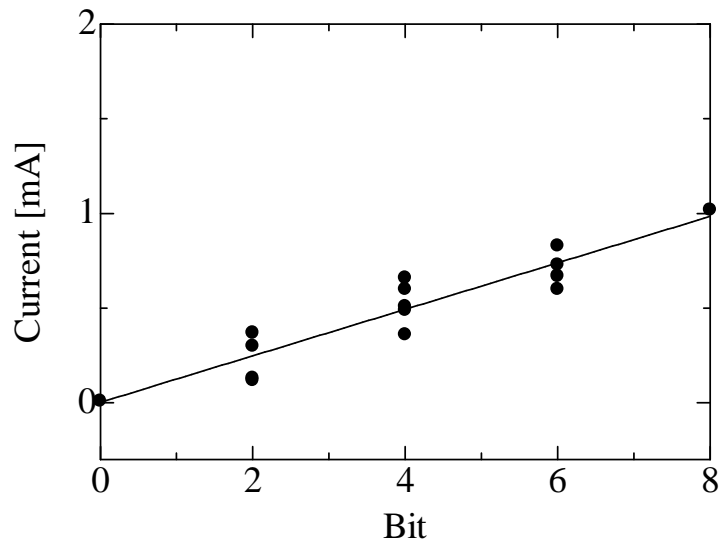
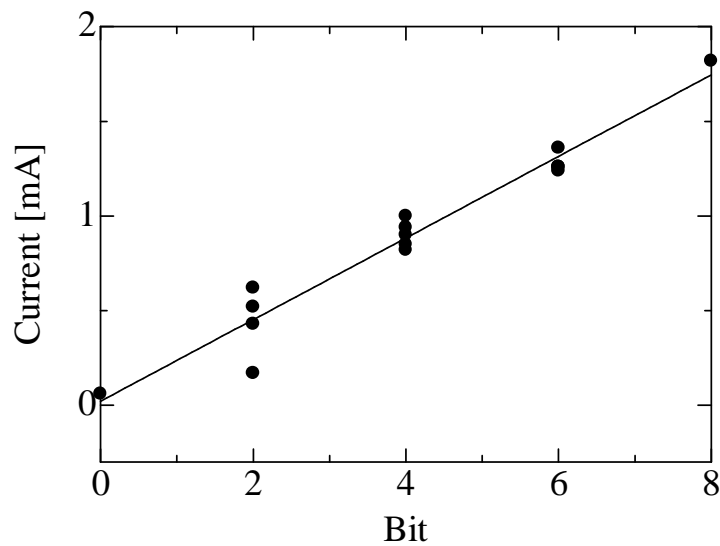


Figure 4.29: Difference of power supply current by processing different data.

を加算する際の電流，データ依存部分は加算によって“0”から“1”に変化するレジスタのビット数に比例する電流とみなすことができる．同様のことがRAMへのデータ書き込み，レジスタへの書き込み，レジスタ間のデータ移動，4bit 加算演算の各命令を実行した場合のピーク電流で確かめられた．従って，4.4.3 節で抽出した，扱うデータを 0x00 とした場合の電流要素を各命令の基準電流とし，Fig.4.29 の差分データを“0”から“1”に変化する数に比例して振幅を縮小させて基準電流に足し合わせることで，データ依存を加味した電流要素を表現できるといえる．



**Figure 4.30:** Correlation between the current of peak1 and the number of "1".



**Figure 4.31:** Correlation between the current of peak2 and the number of "1".

## 4.6.2 データ依存性を考慮した時間領域での電流解析

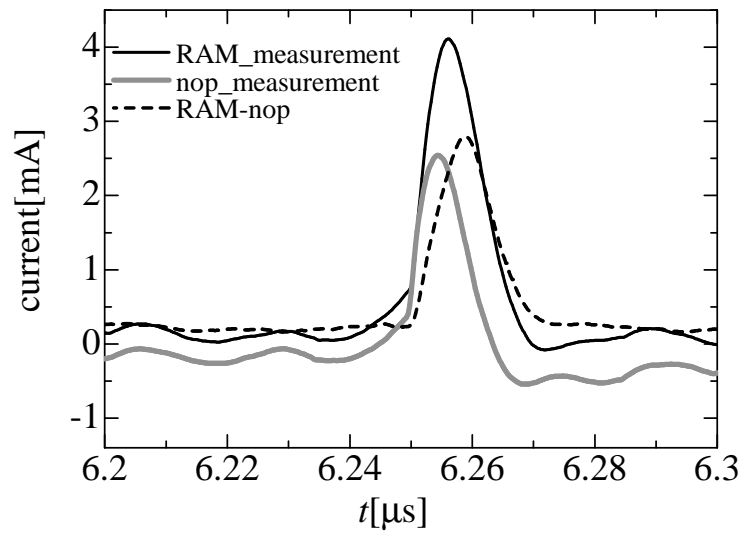
電流解析は以下の方法で行う。

1. 命令実行による電流要素をパイプライン処理を考慮して並べる。
2. プログラムのデータ依存による電流要素を並べる。
3. nop 波形と1, 2を足し合わせる。

このうち、2のデータ依存部分については、Fig.4.29で示した0xFFのデータを用いる場合の電流から0x00のデータを用いる場合の電流を引いた電流波形を用いる。4.6.1節より、データに依存する電源電流は、レジスタやRAMにおいて“0”から“1”に変化するビット数に比例するとみなせるので、レジスタおよびRAMを最初にすべて0x00に初期化しておくことで、扱うデータの“1”のビット数に比例するといえる。従って、0x00や0xFF以外のデータを扱う場合はそのデータ内の“1”のビット数に応じて振幅を決定する。

ここで、クロック到着から機能ブロックが動作するのに遅延があるため、Fig.4.32のように、nop 波形の電流ピークと機能ブロックによる電流ピークのタイミングは一致しない。従って、電流要素の電流ピークとnop 電流波形の電流ピークが一致するように並べるのではなく、Fig.4.32に示すように各機能ブロックの動作遅延を考慮して足し合わせた。

Fig.4.33, Fig.4.34に電源電流解析と実測の比較を行ったプログラムと電源電流解析の結果得られた合成波形を示す。Fig.4.35に示すように、6200ns付近(peak3)と6600ns付近(peak4)でレジスタ間データ移動による電流要素と8bit加算演算の電流要素が同時に流れる。Fig.4.34において、peak3とpeak4のピーク値の相対誤差は9.9%, 6.5%と精度よく表現できており、電流要素の合成による解析方法が有効であることを示している。また、データ依存による電流要素(2)を合成せずに命令実行による電流要素(1)のみを合成した場合のピーク値の平均誤差が32.7%であったのに対して、データ依存の電流要素を考慮して合成した場合の誤差は8.0%となった。以上の結果から、データ依存を考慮した電流要素の合成が重要であると言える。



**Figure 4.32:** Time lag of the current peak by the timing delay.

nop	#no operation
mov 0xFF, (0x00F0)	#RAM書き込み
mov 0xBB, D2	#レジスタ書き込み
mov D0, D3	#レジスタ間データ移動
add 0x99, D1	#8bit加算演算
mov 0x55, (0x00F0)	#RAM書き込み
add 0x22, D0	#8bit加算演算
mov 0xEE, D3	#レジスタ書き込み
nop	#no operation

**Figure 4.33:** Program for current analysis with considering data dependency.



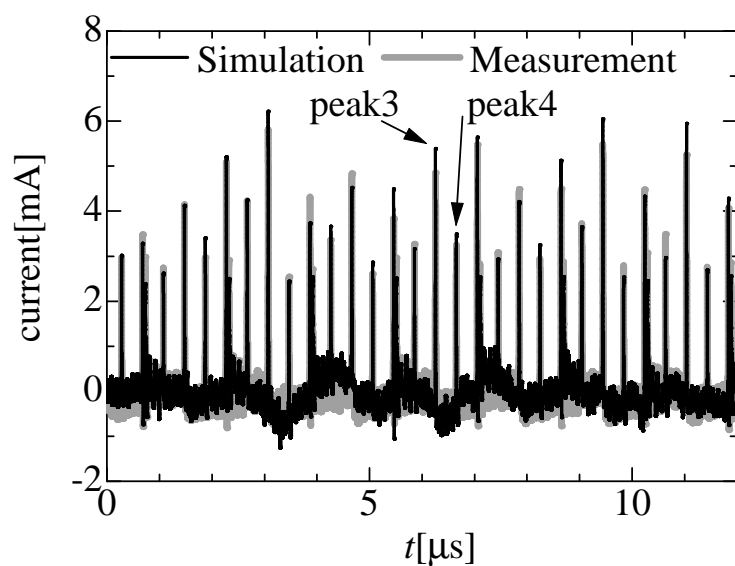


Figure 4.34: Current analysis result with considering data dependency.

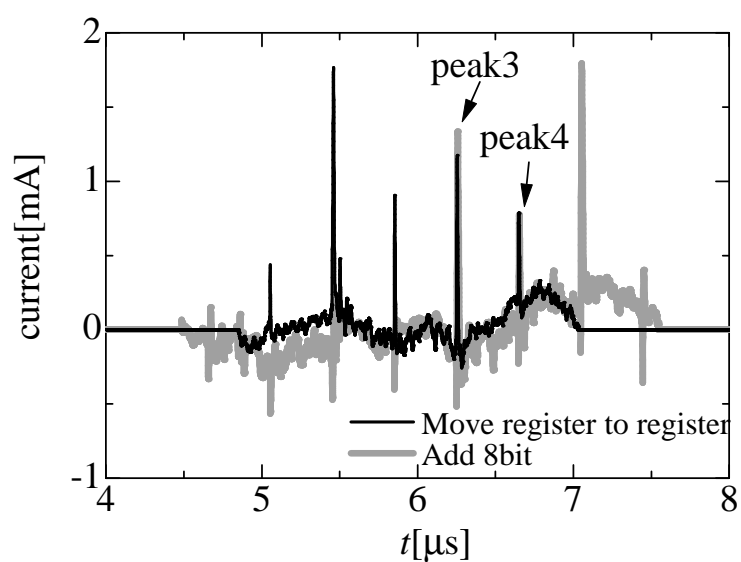


Figure 4.35: Current elements(4 $\mu$ s ~ 8 $\mu$ s).

### 4.6.3 データ依存性を考慮した周波数領域での電流解析

Fig.4.33 のプログラムを用いて周波数領域の電流解析を行った．Fig.4.34 をフーリエ変換したものを Fig.4.36 に示す．Fig.4.36 より，源発振クロックの 10MHz の高調波だけではなく，1.25MHz，625kHz とその整数倍の周波数といった次数間調波も精度よく再現できている．次の 4 つのスペクトルが観測されている．

- (A) クロック発生回路による電流（要素 3）
- (B) クロックツリーによる電流（要素 1，要素 2）
- (C) クロックと同期して動作する機能ブロックによる電流
- (D) 命令フェッチ（ROM アクセス）による電流（要素 4）

今回は，マイコンを 1.25MHz（源発振周波数 10MHz を 8 分周）で動作させているため，(A) は源発振周波数である 10MHz の高調波，(B) は立上り，立下りでスイッチングを行うので動作周波数（1.25MHz）の偶数次高調波，つまり 2.5MHz とその高調波が支配的であり，(C) は動作周波数 1.25MHz とその高調波，(D) は ROM アクセスを 2 サイクルに一回行う<sup>†</sup>ため，動作周波数の半分の 625kHz とその高調波がそれぞれ対応する．

Fig.4.37 より，実測と比較すると (A)～(D) のスペクトルが 0～10MHz の周波数範囲で非常に精度よく一致している．また，Fig.4.38 の 80MHz～90MHz の周波数領域でも精度よく一致しており，本節で抽出した命令（ブロック）ごとの電流源が，プログラム及びデータ依存性を考慮した電源電流の解析に適用できることが確認された．

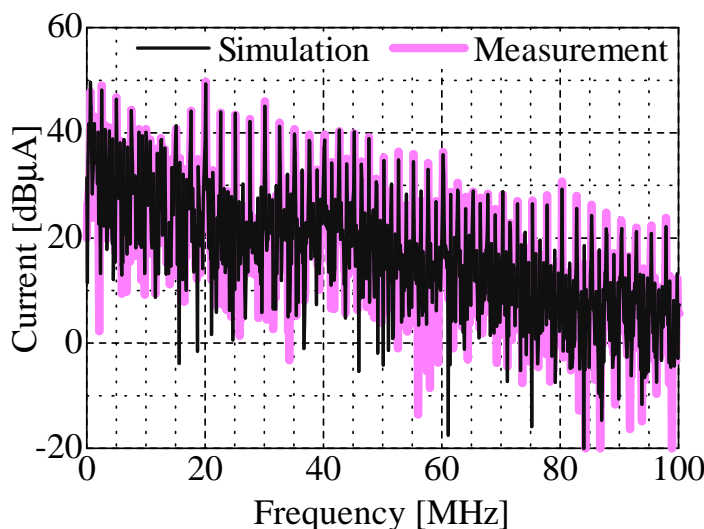


Figure 4.36: Spectrum of current shown in Fig.4.34.

<sup>†</sup>プログラムの組み合わせによっては，間隔が 3 サイクルになる場合もあるが，本節で使用したプログラムにおいては，フェッチ間隔は全て 2 サイクルであった．

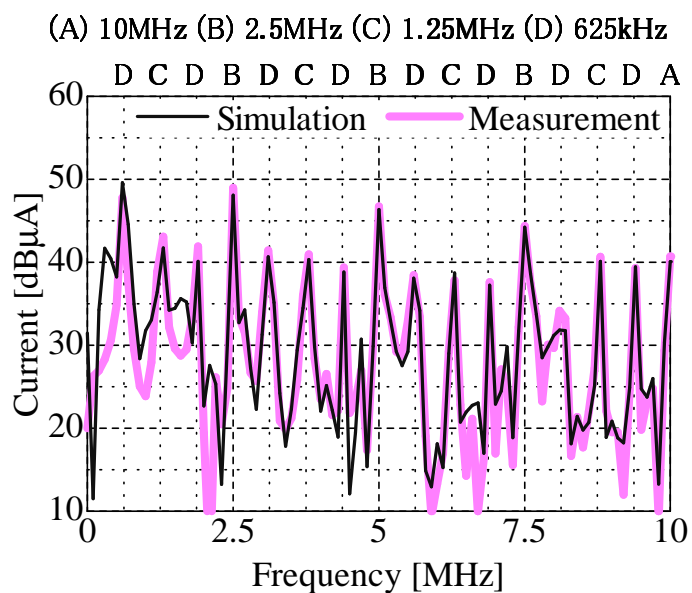


Figure 4.37: Spectrum of current shown in Fig.4.34 from 0 to 10 MHz.

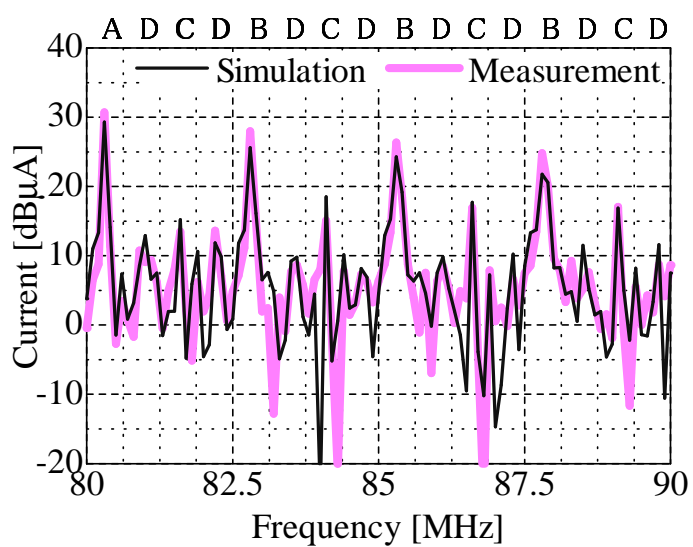


Figure 4.38: Spectrum of current shown in Fig.4.34 from 80 to 90 MHz.

## 4.7 電源電流解析のまとめ

本章では8ビットマイコンを対象として、各機能ブロックの動作により生じる電流を電流要素として抽出し、時間領域での電流波形シミュレーションを実施した。今回はクロック発生回路部、クロックツリー部（クロック立ち上がりと立ち下がりの2つ）、RAM部、ROM部、レジスタ部、演算器部の7つの電流要素を抽出し、パイプライン処理を考慮して足し合わせることで、動作周波数およびプログラムを変更した場合でもブロック単位の電流の組み合わせで電源電流の時間波形を精度よく見積もることができることを示した。また、電源電流波形をフーリエ変換することにより周波数領域での電流解析を実施し、動作周波数の高調波だけでなく、次数間調波まで精度よく一致することを示すとともに、各ブロックの電流が周期的に発生することで次数間調波の原因となっていることを示した。

さらに、本章では電源電流のデータ依存性についても検討を行った。RAM部、レジスタ部、演算器部の3種類の機能ブロックを用いる命令の実行において、電源電流が基準電流と各命令で扱うデータに依存する部分に分けることができることを示し、初期値が0x00の場合、データ依存の部分は扱うデータの中に含まれる“1”のビット数に比例することを示した。また、異なるデータを扱う複数の命令で構成されるプログラムを実行する場合の電源電流に関して、データ依存を考慮せずに電流要素を合成して電源電流波形を求めた場合には、そのピーク値の誤差が30%以上あったのに対し、データ依存性を考慮して電源電流波形を求めた場合には、そのピーク値の誤差は10%以下となった。さらに、得られた電流波形をフーリエ変換することで、異なるデータを扱う複数の命令で構成されるプログラムを実行する場合であっても、動作周波数の高調波だけではなく、次数間調波まで精度よく一致することを示した。

本研究により、機能ブロックごとに電源電流をモデル化し、プログラムに応じて動作する機能ブロックの電流を足しあわせることで電流シミュレーションを行うことが可能であることを実証した。これにより、機能ブロックごとのLECCS-coreモデル構築に向けて、等価内部電流源モデルを機能ブロックごとの電流源で構築することができる可能性を実証した。ただし、機能ブロックを構成単位とするLECCS-coreモデルを確立するには、外部で観測した機能ブロックごとの電源電流を線形等価回路を考慮して等価内部電流源に変換する手法を確立する必要がある。

## 第5章 結論

本論文では EMC マクロモデルである LECCS モデル，特に LSI の Core ブロックをモデル化対象とした LECCS-core モデルに関して，機能ブロックを構成単位とした新たな LECCS-core モデル構築に向け，以下の課題を解決し，モデル精度を向上するために行った研究について論じた．

### 1．線形等価回路の構造と回路素子の決定方法に関する課題

従来行われていた機能ブロックごとのモデル化では，たとえ LSI が複数の機能ブロック，複数の電源・グラウンド端子対を備えていたとしても，機能ブロックごとに分解し，2 端子対（1 ポート）でモデル化を行っていた．このため，従来のモデル化手法では各機能ブロック間や端子間に LSI 内部で結合があってもそれらを見做することとなり，機能ブロック間や端子間の伝達インピーダンス特性を正しく表現できないモデルとなっていた．

### 2．等価内部電流源モデルに関する課題

LECCS-core モデルにおいては従来の等価内部電流源モデルは特定のプログラムを実行した際の電源電流測定結果から，周波数軸で抽出されており，マイコンのようにプログラムに応じて動作が変化する LSI の場合，動作に応じて変化する電流を表現することができていなかった．プログラムを変更した場合には再度電源電流の測定，モデル構築が必要であった．一方で他の EMC マクロモデルではゲートごとや命令ごとに電源電流を求め動作プログラムを考慮して電流解析を行う研究も行われているが，モデル規模が大きくなる，入手困難な LSI の設計情報を扱う必要があるといった課題がある．

上記第 1 の課題に対しては第 2 章，第 3 章において，内部結合として以下の 2 つの結合を考慮した新たな線形等価回路構造と線形等価回路を構成する回路素子の値の決定方法を提案した．

- メタル配線やゲートに起因すると推定される結合
- シリコン基板（substrate）に起因すると推定される結合

第 2 章では，メタル配線やゲートに起因すると推定される結合に着目し，この結合を含む機能ブロックごとの線形等価回路を提案した．この章では，機能ブロック（コアブロック，I/O ブロック，アナログブロック）ごとに独立した電源端子とグラウンド端子を持つ 8 ビットマイクロコントローラを対象とし，コアブロックと I/O ブロック間の電源端子間に高周波において内部結合があることを実測により示し，この内部結合を含んだ 3 ポート

の線形等価回路モデルを提案した。さらに、この3ポートモデルの等価回路の回路素子の値を決定する方法として、記号解析 (Symbolic Analysis) により等価回路のインピーダンスを各回路素子の値を変数とした式で抽出し、駆動点インピーダンスと伝達インピーダンス両方の絶対値・位相両方を考慮した最小二乗パラメータ最適化により回路パラメータを決定する新たな方法を提案した。このパラメータ決定方法を用いることにより、従来のモデル化手法のように機能ブロックごとに分解して回路素子のパラメータを決定するのではなく、LSI 内部の物理的な構造を考慮した線形等価回路構造を設定し、LSI 全体で回路素子の決定を行うことが可能となった。第2章で構築した3ポートの線形等価回路モデルを用いることで、I/O ブロックに属する電源端子へのバイパスコンデンサの接続の有無によるコアブロック用電源端子の内部インピーダンス変化がシミュレーションで再現可能となった。

第3章では、従来無視されていた内部結合のうち、シリコン基板 (substrate) に起因すると推定される結合に着目し、この結合を含む機能ブロックごとの線形等価回路を提案した。この章では、複数の電源系を備えているが、グラウンド端子が共通であるマイクロコントローラを対象とし、異なる電源系に属する電源端子間の伝達インピーダンスが低周波領域で差があることから、抵抗素子を挿入してLSI 内部のグラウンドを分離した構造の線形等価回路でモデル化を行った。これにより、従来モデルに比べ、より実測に近い形で電源端子間の伝達インピーダンス特性を表現できるモデルの構築が可能となった。ここでのモデル化においても、第2章で提案した記号解析 (Symbolic Analysis) とインピーダンスの絶対値・位相両方を考慮した最小二乗パラメータ最適化により回路パラメータを決定するモデル構築手法を適用した。さらに、本モデル化の際にはLSI のシリコン基板 (substrate) と QFP (Quad Flat Package) のダイサポート間や、プリント回路基板のグラウンド間に発生する寄生容量を考慮に入れた。この寄生容量は数百 MHz を超える高周波電流が流れる経路として無視することはできず、EMC シミュレーションにおいては非常に重要である。

前述の第2の課題に対しては、第4章において、機能ブロックごとに電源電流を抽出し、抽出された電源電流を合成することで、LSI の電源電流の予測が可能であることを示した。ここでは機能ブロックごとに実測で電流を抽出しており、従来のゲートごとや命令ごとの電流モデルに比べて非常に小さい規模でモデル構築が可能であり、入手困難なLSI の設計情報を必要としない。

第4章では、8ビットマイコンを対象として、機能ブロックごとの電源電流を実測によって求め、それらをマイコンで実行するプログラムに応じてパイプライン処理を考慮して足し合わせることで、プログラムや動作周波数が変わってもLSI の電源電流を精度良く予測できることを示した。また、シミュレーションで求めた電源電流の時間波形の周波数スペクトルを求めると、動作クロック周波数の高調波だけでなく、イントラ EMC で問題となる次数間調波も精度良く予測することができることを示した。さらには、プログラムで扱うデータの値に応じて電源電流が変化することを示し、データの違いを考慮することで電源電流の解析精度が向上することを示した。



本研究で得られた成果によって、デジタル機器から発生する EMI や自家中毒のシミュレーションに用いる LSI の LECCS-core モデルの精度向上が実現できる。これにより、設計段階での EMC 問題の予測と対策が可能となり、製品の開発期間短縮、開発コストの低減につながる。また、この LECCS-core モデルに関しては、半導体ベンダーから詳細な LSI の設計情報が入手できない場合であっても、実測によるモデル構築、EMC シミュレーションが可能である。このため、広く EMC シミュレーション、EMC 設計を普及していく上で大きく貢献できると考える。

今後の研究課題としては、プログラムやデータに依存した電源電流を LSI の内部インピーダンスを考慮して等価内部電流源に変換し、異なるパッケージやプリント回路基板に対して汎用的に適用可能な LECCS-core モデルにしていく必要がある。また、マイコンのプログラムのコンパイラと連携し、パイプライン処理の状態をプログラム作成時に抽出し、機能ブロックごとの電流源からプログラムやデータに応じた等価内部電流源を簡単に作成可能な環境を整えていく必要がある。





## 略語，用語，文字の定義

### 略語

IBC	Inter Block Coupling ブロック間結合
IBIS	Input/Output Buffer Information Specification アイビス（I/O バッファのモデルの一種で国際標準）
EMC	Electromagnetic Compatibility 電磁両立性
EMI	Electromagnetic Interference 電磁妨害
LECCS	Linear Equivalent Circuit and Current Sources (Model) 線形等価回路および（等価内部）電流源（モデル）
PCB	Printed Circuit Board プリント回路基板
PDN	Power Distribution Network / Passive Distribution Network 電源供給回路網 / 受動回路網
PI	Power Integrity 電源完全性（“ 電源品質 ” という意味で使われることが多い）
QFP	Quad Flat Package キューエフピー（4 方向にリードピンがあるパッケージの形状の一種）
SI	Signal Integrity 信号完全性（“ 信号品質 ” という意味で使われることが多い）
SPICE	Simulation Program with Integrated Circuit Emphasis (Model) スパイス（電子回路シミュレーション ソフトウェア，または，そのモデル）
VCCI	Voluntary Control Council for Interference Information Technology Equipment 情報処理装置等電磁波障害自主規制協議会

### 用語

Ground Bounce	グラウンドバウンス（グラウンド電位変動）
Microcontroller	マイクロコントローラ（マイコン）
Power Bounce	パワーバウンス（電源電位変動）
Symbolic Analysis	記号解析

## 文字の定義

$AV_{CC}$ , $V_{CC}$ , $V_{DD}$ , $V_{ref+}$ , $V_{CL}$	電源端子
$AV_{SS}$ , $V_{SS}$ , GND	グラウンド端子

## 参考文献

- [1] Madhavan Swaminathan (著), 須藤俊夫 (監修, 翻訳), ”パワーインテグリティのすべて 電源ノイズを抑えるプリント基板設計,” ISBN-10:4798119210, 翔泳社, Jan. 2010.
- [2] M. Swaminathan, and E. Engin, ”Power integrity modeling and Design for semiconductors and systems,” ISBN-10:0136152066, Prentice Hall, Nov. 2007.
- [3] Eric Bogatin (著), 須藤俊夫 (翻訳), ”エリック・ボガティン 高速デジタル信号の伝送技術 シグナルインテグリティ入門,” ISBN-10:4621082612, 丸善, Jul. 2010.
- [4] 渡邊貴之, 久保田英正, 荒木健次, 浅井秀樹, ”並列分散処理型 3 次元電磁界シミュレータ BLESS による大規模 PWB の解析,” 信学技報. CPM2003-185, pp.51-55, Jan. 2004.
- [5] 浅井秀樹, 久保田英正, 渡邊貴之, 荒木健次, ”BLESS:FDTD 法に基づく大規模電磁界解析とその応用,” 日本計算工学会 計算工学, vol.10, no.3, pp.1179-1182, Jul. 2005.
- [6] IEC 62014-1 Ed. 1.0, Electronic design automation libraries - Part 1: Input/output buffer information specifications (IBIS version 3.2), 2001.
- [7] ANSI-EIA-656-B Standard: I/O BUFFER INFORMATION SPECIFICATION (IBIS version 4.2), 2006.
- [8] S.B. Dhia, M. Ramdani, and E. Sicard (Editors), ”Electromagnetic compatibility of integrated circuits,” ISBN-10: 0387266003, Chap.5, Springer, Dec. 2005.
- [9] IEC 62433-2 Ed. 1.0, EMC IC modelling - Part 2: Models of integrated circuits for EMI behavioural simulation - Conducted emissions modeling (ICEM-CE), Oct. 2008.
- [10] J. Levant, M. Ramdani, R. Perdriau and M. Drissi, ”EMC assessment at chip and PCB Level: use of the ICEM model for jitter analysis in an integrated PLL,” IEEE Trans. Electromagn. Compat., vol.49, no.1, pp.182-191, Feb. 2007.
- [11] M. Ramdani, E. Sicard, A. Boyer, S.B. Dhia, J.J. Whalen, T.H. Hubing, M. Coenen, and O. Wada, ”The electromagnetic compatibility of integrated circuits - past, present, and future,” IEEE Trans. Electromagn. Compat., vol.51, no.1, pp.78-100, Feb. 2009.

- [12] E. Kulali, E. Wasserman, and J. Zheng, "Chip power model - a new methodology for system power integrity analysis and design," Proc. 2007 IEEE Electrical Performance of Electronic Packaging Conf. (EPEP), pp.259-262, Atlanta, USA, Oct. 2007.
- [13] S. Imai, A. Inoue, M. Matsumura, K. Kawasaki, and A. Suga, "Single-chip multiprocessor integrating quadruple 8-Way VLIW processors with interface timing analysis considering power supply noise," Proc. Asia and South Pacific Conf. on Design Automation (ASP-DAC), no.5D-2, pp.541-546, Yokohama, Japan, Jan. 2006.
- [14] O. Wada, Y. Takahata, Y. Toyota, R. Koga, T. Miyashita, and Y. Fukumoto, "Power current model of digital IC with internal impedance for power decoupling simulation," Proc. 4th European Symposium on Electromagn. Compat., vol.2, pp.315-320, Brugge, Belgium, Sep. 2000.
- [15] Y. Fukumoto, Y. Takahata, O. Wada, Y. Toyota, R. Koga, and T. Miyashita, "Power current model of LSI/IC containing equivalent internal impedance for EMI analysis of digital circuits," IEICE Trans. Commun., vol.E84-B, no.11, pp.3041-3049, Nov. 2001.
- [16] 高山恵介, 木下智博, 松石拓也, 松永茂樹, 王志良, 豊田啓孝, 和田修己, 古賀隆治, 福本幸弘, 柴田修, "LSIの電源端子電流モデルのEMIシミュレーションへの適用," 信学論(B), vol.J86-B, no.2, pp.226-235, Feb. 2003.
- [17] 和田修己, "ディジタル回路の不要電磁波発生機構のモデル化とシミュレーション," 信学論(B), vol.J86-B, no.7, pp.1062-1069, Jul. 2003.
- [18] 豊田友博, 南澤裕一郎, 中村克己, 和田修己, 豊田啓孝, 古賀隆治, "LECCSモデルの多電源ピンLSIへの拡張," 信学技報, EMCJ2003-119, pp.41-46, Dec. 2003.
- [19] K. Nakamura, T. Toyota, O. Wada, R. Koga, and N. Kagawa, "EMC macro-model (LECCS-core) for multiple power-supply pin LSI," Proc. 2004 Int. Symposium on EMC, Sendai (EMC'04/Sendai), no.3A1-4, pp.493-496, Sendai, Japan, Jun. 2004.
- [20] 中村克己, 南澤裕一郎, 豊田啓孝, 古賀隆治, 和田修己, 齊藤義行, 中村篤, "マイクロコントローラの多電源ピンLECCS-coreモデルの構築," 信学論(C), vol.J89-C, no.11, pp.833-842, Nov. 2006.
- [21] 木下智博, 田中大介, 大坂英樹, 和田修己, 豊田啓孝, 古賀隆治, "EMIシミュレーションのためのIC/LSI電源系モデルのI/O回路部への拡張," 平成14年度電気・情報関連学会中国支部連合大会, 講演番号 081115, p.238, Oct. 2002.
- [22] H. Osaka, D. Tanaka, O. Wada, Y. Toyota, and R. Koga, "Linear equivalent circuit and current source for I/O (LECCS-I/O) modeling of IC power current for EMI simulation," Journal of Japan Institute of Electronics Packaging, vol.7, no.6, pp.517-524, Sep. 2004.

- [23] Y. Villavicencio, F. Musolino, and F. Fiori, "Electrical model of a microcontroller for EMC analysis," Proc. Int. Workshop on EMC of ICs (EMC Compo 2009), Toulouse, France, Nov. 2009.
- [24] Y. Villavicencio, F. Musolino, and F. Fiori, "A simulation-based black-box microcontroller model for EME prediction," IEICE Trans. Commun., vol.E93-B no.7, pp.1715-1722, Jul. 2010.
- [25] T. Steinecke, M. Gökçen, J. Kruppa, P. Ng, and N. Vialle, "Layout-based chip emission models using RedHawk," Proc. Int. Workshop on EMC of ICs (EMC Compo 2009), Toulouse, France, Nov. 2009.
- [26] 岡典正, 五百旗頭健吾, 豊田啓孝, 古賀隆治, "PI/SI解析精度向上を目的としたIBIS及びLECCS-core 組合せ IC マクロモデル," 信学論 (C), vol.J93-C, no.11, pp.433-444, Nov. 2010.
- [27] "H8S/2623 グループ ハードウェアマニュアル Rev.5.00," ルネサステクノロジ, 2006.
- [28] 野村洋平, 川島潤, 船曳信生, 豊田友博, 南澤裕一郎, 和田修己, "IC/LSI 電源系 EMC マクロモデル LECCS のためのパラメータ最適化アルゴリズムの提案," 信学技報, EMCJ2004-114, pp.71-76, Dec. 2004.
- [29] "H8/3694 グループ ハードウェアマニュアル Rev.4.00," ルネサステクノロジ, 2004.
- [30] "MN101CF91D LSI 説明書 第 2 . 1 版," 松下電器産業株式会社, 2005.
- [31] A. Gstöttner, T. Steinecke, and M. Huemer, "High level modeling of dynamic switching currents in VLSI IC modules," Proc. Int. Workshop on EMC of ICs (EMC Compo 2005), pp.207-210, Munich, Germany, Nov. 2005.
- [32] A. Gstöttner, T. Steinecke, and M. Huemer, "Activity based high level modeling of dynamic switching currents in digital IC modules," Proc. the 17th Int. Zurich Symposium on EMC, pp.598-601, Singapore, Feb. 2006.
- [33] T. Steinecke, M. Goekcen, D. Hesidenz, and A. Gstöttner, "High-accuracy emission simulation models for VLSI chips including package and printed circuit board," Proc. 2007 IEEE Int. Symposium on EMC, pp.1-6, Honolulu, USA, Jul. 2007.
- [34] S.Y. Yuan, C.F. Yang, E. Sicard, C.K. Chen, and S.S. Liao, "EMI prediction under different program behavior," Proc. 2007 IEEE Int. Symposium on EMC, pp.429-432, Honolulu, USA, Jul. 2007.
- [35] S.Y. Yuan, and W.S. Huang, "Instruction Current Model for Pipelined Microcontroller EMI Behavior Estimation," Proc. 2009 Int. Symposium on EMC, Kyoto (EMC'09/Kyoto), no.22Q3-5, pp.429-432, Kyoto, Japan, Jul. 2009.

- [36] S.Y. Yuan, H.E. Chung, and S.S. Liao, "A Microcontroller instruction set simulator for EMI prediction," IEEE Trans. Electromagn. Compat., vol.51, no.3, pp.692-699, Aug. 2009
- [37] D.A. Patterson , and J.L. Hennessy , "パイプラインを用いた性能向上 , " コンピュータの構成と設計 第2版 , 成田光彰訳 , 下巻 第6章 , 日経BP社 , 1999.
- [38] A. Liberatore, A. Luchetta, S. Manetti and M.C. Piccirilli, "A new symbolic program package for the interactive design of analog circuits," Proc. Int. Symposium on Circuits and Systems (ISCAS'95), pp.2209-2212, Seattle, USA, May. 1995.
- [39] L.P. Huelsman, "Symbolic analysis - a tool for teaching undergraduate circuit theory," IEEE Trans. Education, vol.39, no.2, pp.243-250, May. 1996.
- [40] K. Ichikawa, T. Unou, T. Tsuda, Y. Mabuchi, and N. Nagata, "EMI model improvement taking LSI package structure into consideration," Proc. IEEE Int. Symposium on EMC, no.TH-AM-SS-4, pp.707-711, Portland, USA, Aug. 2006.
- [41] 津田剛宏 , 鵜生高德 , 市川浩司 , "LSIのパッケージ構造を考慮した EMI モデルの改良 , " 信学技報 , EMCJ2006-84 , pp.19-24, Dec. 2006.
- [42] B. Vrignon, S.D. Bendhia, E. Lamoureux, and E. Sicard, "Characterization and modeling of parasitic emission in deep submicron CMOS," IEEE Trans. Electromagn. Compat., vol.47, no.2, pp.382-387, May. 2005.
- [43] K. Iokibe, A. Takahashi, U. Paoletti, O. Wada, Y. Toyota, and R. Koga, "Determination of effective parasitic capacitances around IC package for EMC modeling," Proc. Int. Workshop on EMC of ICs (EMC Compo 2007), Torino, Italy, Nov. 2007.
- [44] 前川智哉 , 岩城秀樹 , 山田徹 , 小川晃一 , "近傍磁界分布を用いたノイズ源最適配置推定法の提案 , " 信学技報 , EMCJ2008-6 , pp.41-46 , Jun. 2008.
- [45] 土井達也 , 増田則夫 , "磁界プローブの空間特性を用いたプリント基板配線中の電流同定 , " 電学論 ( A ) , vol.122-A , no.3 , pp.315-321 , Mar. 2002.
- [46] T. Harada, N. Masuda, and M. Yamaguchi, "Near-field magnetic measurements and their application to EMC of digital equipment," 2006 IEICE Trans. Electron., vol.E89-C, no.1, pp.9-15, Jan. 2006.
- [47] IEC 61967-6 Ed. 1.1, Integrated circuits - Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 6: Measurement of conducted emissions - Magnetic probe method, Jun. 2008.



# 研究業績

## 本論文に関する業績

### [ 論文 ]

- 齊藤義行, 安原昌克, 船戸是宏, ウンベルト パオレッティ, 久門尚史, 和田修己, ”多電源ピン LSI のブロック間結合を考慮した 3 ポート LECCS-core モデル,” 信学論 ( B ), vol.J93-B, no.2, pp.332-340, Feb. 2010.
- 齊藤義行, 安原昌克, 馬淵雄一, 松嶋徹, 久門尚史, 和田修己, ”多電源 LSI の LECCS-core モデルにおけるグラウンド接続モデルに関する検討,” 電学論 ( C ), vol.130-C, no.11, pp.1897-1906, Nov. 2010.
- 齊藤義行, 野村勝也, 安原昌克, 和田修己, ”プログラム依存性を考慮した 8 ビットマイクロコントローラの電源電流解析,” 信学論 ( C ), vol.J93-C, no.11, pp.445-454, Nov. 2010.

### [ 国際会議発表 ]

- **Y. Saito**, M. Yasuhara, Y. Funato, U. Paoletti and O. Wada, ”LECCS-Core Model Including Inter-Block Coupling for an LSI with Multiple Power-Supply Pins,” Proc. 2009 Int. Symposium on EMC, Kyoto (EMC’09/Kyoto), no.22Q3-2, pp.417-420, Kyoto, Japan, Jul. 2009.
- O.Wada, **Y. Saito**, K.Nomura, Y.Sugimoto, T.Matsushima, ”Power supply current analysis of micro-controller with considering the program dependency,” Proc. Int. Workshop on EMC of ICs (EMC Compo 2011), Dubrovnik, Croatia, Nov. 2011.

## [ 国内研究会，学会発表等 ]

- 齊藤義行，和田修己，”線形等価回路の同定と機能ブロック毎の要素電流抽出，” 電子情報通信学会ソサイエティ大会講演論文集 2010 年 通信 (1)，”SS-79”-”SS-80”，2010-08-31.
- 安原昌克，船戸是宏，齊藤義行，Umberto Paoletti，久門尚史，和田修己，”多電源ピン LSI のブロック間寄生結合を考慮した LECCS-core モデルに関する検討，” 信学技報，EMCJ2008-90，pp.25-30，Dec. 2008.
- 安原昌克，齊藤義行，馬淵雄一，久門尚史，和田修己，”多電源 LSI におけるグラウンド接続モデルに関する検討，” 平成 21 年度電気関連学会関西支部大会，G189，Nov. 2009.
- 杉本幸薫，齊藤義行，松嶋徹，和田修己，”プログラム及びデータにより異なる機能ブロック動作に依存する LSI 電源系高周波電流の解析，” 信学技報，EMCJ2011-48，pp.25-30，Jul. 2011.

## その他の業績

### [ 論文 ]

- 齊藤義行, 高橋英治, 佐々木智江, 菅谷康博, ”容量内蔵インタポーザのシステム LSI への適用評価,” 信学論 (C), vol.J91-C, no.11, pp.569-576, Nov. 2008.
- 高橋英治, 齊藤義行, 佐々木智江, 井ノ上大輔, ”コンデンサ内蔵インタポーザを適用したシステム LSI のイミュニティ評価,” エレクトロニクス実装学会誌, 第 14 巻, 第 4 号, pp.272-277, 2011 年 7 月.
- 中村克己, 南澤裕一郎, 豊田啓孝, 古賀隆治, 和田修己, 齊藤義行, 中村篤, ”マイクロコントローラの多電源ピン LECCS-core モデルの構築,” 信学論 (C), vol.J89-C, no.11, pp.833-842, Nov. 2006.

### [ 国際会議発表 ]

- Eiji Takahashi, Takeshi Nakayama and **Yoshiyuki Saito**, ”Evaluation of Packages by Simulating IC Emission with LECCS Model,” Proc. the 17th Int. Zurich Symposium on EMC, pp.300-303, Singapore, Feb. 2006.
- Chie Sasaki, **Yoshiyuki Saito**, Eiji Takahashi, Yasuhiro Sugaya and Hideki Kobayashi, ”An evaluation of the immunity characteristics of an LSI with capacitors embedded in an interposer,” Proc. 2010 IEEE Int. Symposium on EMC, pp.473-478, Florida, USA, Jul. 2010.

### [ 国内研究会, 学会発表等 ]

- 齊藤義行, 高橋英治, 佐々木智江, 菅谷康博, ”容量内蔵インタポーザによる LSI のノイズ特性向上技術,” 信学技報, CPM2009-140, pp.35-39, Nov. 2009.
- 南澤裕一郎, 太田有宣, 豊田友博, 中村克己, 和田修己, 豊田啓孝, 古賀隆治, 齊藤義行, 中村篤, ”S パラメータ測定による多電源ピン LSI の LECCS-core モデルの構築,” 信学技報, EMCJ2004-161, pp.85-90, Mar. 2005.
- 五百旗頭健吾, 渡辺哲史, 崎山一幸, 齊藤義行, 豊田啓孝, 古賀隆治, ”EMI フィルタ設計への適用を目的とした電子レンジ内蔵インバータの線形等価回路モデル構築,” 信学技報, EMCJ2010-14, pp.25-30, Jun. 2010.
- 吉川薫平, 佐々木悠太, 市川浩司, 齊藤義行, 永田 真, ”デジタル LSI におけるオンチップ・オンボード電源雑音の評価・協調解析手法,” 信学技報, ICD2011-95, pp.73-78, Nov. 2011.
- 中山武司, 北川大作, 石井雅博, 齊藤義行, ”BGA パッケージの端子に流れる電流測定法および測定プローブの提案,” 信学技報, EMCJ2012-3, pp.13-18, Apr. 2012.
- 中山武司, 北川大作, 石井雅博, 齊藤義行, ”BGA パッケージのグランド端子を流れる電流測定とグランド端子配置の最適化,” 信学技報, EMCJ2012-4, pp.19-24, Apr. 2012.



## 謝辞

本論文は筆者が京都大学大学院工学研究科電気工学専攻博士後期過程において和田修己教授のご指導のもとで行った研究成果についてまとめたものです。和田修己教授には終始懇切丁寧にご指導いただきましたことに深く感謝いたします。また、本論文を作成するにあたりご指導、ご助言を賜りました京都大学大学院工学研究科電気工学専攻 久門尚史准教授、松嶋徹助教に深く感謝の意を表します。

本研究の遂行にあたり、京都大学和田研究室の皆様には実験やシミュレーション等、諸事に対してご協力いただき、厚く御礼申し上げます。特に、安原昌克氏、野村勝也氏、田中弘志氏、山崎輝宣氏、杉本幸薫氏、出原歩氏には研究グループのメンバーとして活動を共にし、数多くの実験・シミュレーションにご協力していただき、心から感謝いたします。また（株）日立製作所 馬淵雄一氏には同じ社会人大学院生として有益な議論と共に多くの助言をいただき、感謝いたします。

パナソニック株式会社の小川立夫室長、福本幸弘参事をはじめ、関係者の皆様には、筆者の社会人大学院生としての京都大学大学院工学研究科への進学に関してご理解とご協力をいただきましたことに深く感謝いたします。

最後に、筆者のわがままのため多大な迷惑をかけたにもかかわらず、常に筆者を支えてくれた妻・正美、二人の娘・美緒、美菜に心から感謝の意を表します。